

BEST AVAILABLE COPY

Family list

1 family member for:

JP9045930

Derived from 1 application.

1 THIN FILM TRANSISTOR AND ITS MANUFACTURE

Publication Info: JP9045930 A - 1997-02-14

Data supplied from the *esp@cenet* database - Worldwide

DIALOG(R)File 347:JAPIO

(c) 2004 JPO & JAPIO. All rts. reserv.

05431130 **Image available**

5 THIN FILM TRANSISTOR AND ITS MANUFACTURE

PUB. NO.: 09-045930 [JP 9045930 A]

PUBLISHED: February 14, 1997 (19970214)

INVENTOR(s): HAYASHI HISAO

10 FUJINO MASAHIRO

YAMAZAKI MASARU

APPLICANT(s): SONY CORP [000218] (A Japanese Company or Corporation), JP
(Japan)

APPL. NO.: 07-212716 [JP 95212716]

15 FILED: July 28, 1995 (19950728)

INTL CLASS: [6] H01L-029/786; H01L-021/336

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD: R002 (LASERS); R011 (LIQUID CRYSTALS); R044 (CHEMISTRY --
20 Photosensitive Resins); R096 (ELECTRONIC MATERIALS -- Glass
Conductors)

ABSTRACT

PROBLEM TO BE SOLVED: To ensure sufficient on-current of a thin film
transistor while suppressing the off-current.

25

SOLUTION: A thin film transistor is provided with a laminated structure
formed by laminating a semiconductor thin film 1, a gate electrode 2
provided with a prescribed pattern and a gate insulating film 3 between the
film 1 and the electrode 2. The semiconductor thin film 1 is provided with

30 a channel area 4, a high concentration impurity area 5 and a low

concentration impurity area 6. The semiconductor thin film 1 is provided with an internal part IN included in the pattern of the gate electrode 2 and an external part OUT positioned outside the pattern. The channel area 4 is formed on the internal part IN, and the high concentration impurity area 5 is formed on the external part OUT. The low concentration impurity area 6 is positioned between the channel area 4 and the high concentration impurity area 5, and at least a part of the area 6 is included in the internal part IN. The on current is prevented from reducing by modulating the low concentration impurity area 6 by gate potential.

(19) 日本国特許庁 (J.P.)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-45930

(43) 公開日 平成9年(1997)2月14日

(51) Int. Cl.⁶

識別記号

F I

H01L 29/786

H01L 29/78

616

V

21/336

616

A

616

N

審査請求 未請求 請求項の数13 FD (全8頁)

(21) 出願番号

特願平7-212716

(22) 出願日

平成7年(1995)7月28日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者

林 久雄

東京都品川区北品川6丁目7番35号

ソニ

一株式会社内

(72) 発明者

藤野 昌宏

東京都品川区北品川6丁目7番35号

ソニ

一株式会社内

(72) 発明者

山崎 勝

東京都品川区北品川6丁目7番35号

ソニ

一株式会社内

(74) 代理人

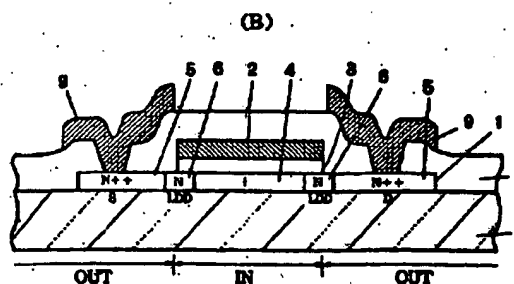
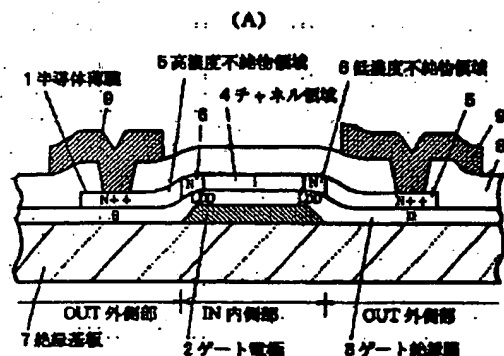
弁理士 鈴木 晴敏

(54) 【発明の名称】 薄膜トランジスタ及びその製造方法

(57) 【要約】

【課題】 薄膜トランジスタのオフ電流を抑制する一方十分なオン電流を確保する。

【解決手段】 薄膜トランジスタは半導体薄膜1と所定のボタンを有するゲート電極2と両者の間に介在するゲート絶縁膜3とを重ねた積層構造を有する。半導体薄膜1にはチャネル領域4、高濃度不純物領域5及び低濃度不純物領域6が設けられている。半導体薄膜1はゲート電極2のボタン内に包含される内側部INとボタン外に位置する外側部OUTとを有している。チャネル領域4は内側部INに形成され、高濃度不純物領域5は外側部OUTに形成される。低濃度不純物領域6はチャネル領域4と高濃度不純物領域5の間に位置し、且つ少なくとも一部は内側部INに包含されている。ゲート電位で低濃度不純物領域6を変調させる様にしてオン電流を下げない様している。



【特許請求の範囲】

【請求項1】 半導体薄膜と、所定のボタンを有するゲート電極と、両者の間に介在するゲート絶縁膜とを重ねた積層構造を有し、該半導体薄膜にチャネル領域、高濃度不純物領域及び低濃度不純物領域を設けた薄膜トランジスタであって、

前記半導体薄膜は該ゲート電極のボタン内に包含される内側部とボタン外に位置する外側部とを有し、前記チャネル領域は該内側部に形成され、前記高濃度不純物領域は該外側部に形成され、前記低濃度不純物領域は該チャネル領域と該高濃度不純物領域の間に位置し且つ少なくとも一部は該内側部に包含される事の特徴とする薄膜トランジスタ。

【請求項2】 前記低濃度不純物領域は、不純物濃度が $10^{18} \sim 10^{20}$ 個/cm³である事の特徴とする請求項1記載の薄膜トランジスタ。

【請求項3】 前記低濃度不純物領域は、不純物濃度がチャネル領域から高濃度不純物領域に向う水平方向に沿って勾配を有する事の特徴とする請求項1記載の薄膜トランジスタ。

【請求項4】 前記低濃度不純物領域は、不純物濃度が半導体薄膜の深さ方向に沿って勾配を有する事の特徴とする請求項1記載の薄膜トランジスタ。

【請求項5】 前記高濃度不純物領域はチャネル領域の両側に位置し、前記低濃度不純物領域は少なくとも一方の高濃度不純物領域とチャネル領域との間に設ける事の特徴とする請求項1記載の薄膜トランジスタ。

【請求項6】 絶縁基板上に所定のボタンのゲート電極を形成する第1工程と、

該ゲート電極の上にゲート絶縁膜を形成する第2工程と、

該ゲート絶縁膜の上に半導体薄膜を形成する第3工程と、

該ゲート電極のボタンより内側に入るボタンで第1不純物阻止膜を該半導体薄膜の上に形成する第4工程と、

該第1不純物阻止膜をマスクとして不純物を低濃度で該半導体薄膜にドーピングする第5工程と、

該第1不純物阻止膜のボタンを包含し且つそれよりも大面積のボタンで第2不純物阻止膜を形成する第6工程と、

該第2不純物阻止膜をマスクとして不純物を高濃度で該半導体薄膜にドーピングする第7工程とを行なう薄膜トランジスタの製造方法。

【請求項7】 前記第4工程は、該ゲート電極をマスクとして透明な絶縁基板の裏面からオーバ露光を行ない、該絶縁基板の表面に第1不純物阻止膜のボタンを設定する裏面露光処理を含む請求項6記載の薄膜トランジスタの製造方法。

【請求項8】 前記第6工程は、該ゲート電極をマスクとして透明な絶縁基板の裏面から露光を行ない、該絶縁

基板の表面に第2不純物阻止膜のボタンを設定する裏面露光処理を含む請求項7記載の薄膜トランジスタの製造方法。

【請求項9】 前記第5工程は、不純物のイオンを電界加速して該半導体薄膜中にドーピングする請求項6記載の薄膜トランジスタの製造方法。

【請求項10】 前記第7工程は、不純物のイオンを電界加速して該半導体薄膜にドーピングする請求項6記載の薄膜トランジスタの製造方法。

10 【請求項11】 前記第7工程は、不純物を高濃度で含有するドーフトシリコンを該半導体薄膜に重ねて成膜し、レーザ光を照射して不純物のドーピングを行なう請求項6記載の薄膜トランジスタの製造方法。

【請求項12】 前記第4工程は、熱変形可能なフォトレジストを用いて第1不純物阻止膜を形成し、前記第6工程は該フォトレジストをリフロー加熱して第1不純物阻止膜のボタンを拡大化し第2不純物阻止膜に転写する請求項6記載の薄膜トランジスタの製造方法。

20 【請求項13】 画素電極と、これをスイッチング駆動する薄膜トランジスタと、該薄膜トランジスタを駆動する駆動回路に含まれる薄膜トランジスタとが同一基板上に集積形成された表示用薄膜半導体装置であって、

少なくとも駆動回路に含まれる薄膜トランジスタは、半導体薄膜と、所定のボタンを有するゲート電極と、両者の間に介在するゲート絶縁膜とを重ねた積層構造を有し、該半導体薄膜にチャネル領域、高濃度不純物領域及び低濃度不純物領域を設けており、

前記半導体薄膜は該ゲート電極のボタン内に包含される内側部とボタン外に位置する外側部とを有し、

30 前記チャネル領域は該内側部に形成され、前記高濃度不純物領域は該外側部に形成され、前記低濃度不純物領域は該チャネル領域と該高濃度不純物領域の間に位置し且つ少なくとも一部は該内側部に包含される事の特徴とする表示用薄膜半導体装置。

【発明の詳細な説明】
【0001】

【発明の属する技術分野】本発明は薄膜半導体装置に集積形成される薄膜トランジスタ及びその製造方法に関する。より詳しくは、薄膜トランジスタのオフ電流を抑制し且つ十分なオン電流を確保する為の構造並びに製造方法に関する。

【0002】

【従来の技術】近年、電子機器の小型・薄型化の為に大面積集積回路の研究が盛んになっている。例えば、アクティブマトリクス液晶テレビ、密着型ラインセンサ、サーマルプリンタヘッド等の素子が開発されている。これらの素子開発には、多結晶シリコン等の半導体薄膜を活性層として用いる薄膜トランジスタが最適であると考えられている。多結晶シリコン薄膜中に素子を作成する為

50 に種々の改善が試みられている。一般には、小粒径シリ

コンの集合体であると考えられている多結晶膜には、多数の未結合手が存在しており、この為に電気特性が単結晶シリコントランジスタと比較して劣っている。多結晶シリコン薄膜をMOSトランジスタの活性層に用いると、ドレイン接合の耐圧が低く、また接合漏れ電流（オフ電流）が大きいという欠点が指摘されている。ドレイン接合において、弱電界では Si/SiO_2 界面でのリーク電流、 $2 \times 10^{-5} V/cm$ を超える強電界ではトンネル電流が支配的である。

【0003】

【発明が解決しようとする課題】 薄膜トランジスタの高耐圧化や漏れ電流の低減の為に、オフセットゲート構造が提案されている。薄膜トランジスタは多結晶シリコンからなる半導体薄膜と、所定のボタンを有するゲート電極と、両者の間に介在するゲート絶縁膜とを重ねた積層構造を有する。オフセットゲート構造では半導体薄膜にチャネル領域、高濃度不純物領域及び低濃度不純物領域が形成されている。高濃度不純物領域はチャネル領域の両側に位置しソース領域及びドレイン領域として機能する。低濃度不純物領域はチャネル領域とドレイン領域との間及び/又はチャネル領域とソース領域との間に介在し、所謂LDD領域（Lightly Doped Drain）と呼ばれている。しかしながら、このLDD領域を設けると漏れ電流を顕著に抑制できるものの、逆に駆動電流（オン電流）が低下してしまう。従来のLDD領域はゲート電極の外側にあり、ゲート電位による変調を受けない為にその分オン電流が低下する。特に、ソース領域側にこのLDD領域を設けるとオン電流が大幅に下がってしまう。かかる従来の技術の解決すべき課題は、例えば電子情報通信学会論文誌 C-II Vol. J 73-C-II No. 4 pp. 277-283 1990年4月「多結晶シリコンMOSFETにおけるドレイン接合の設計」に記載されている。

【0004】

【課題を解決するための手段】 上述した従来の技術の課題を解決する為以下の手段を設けた。即ち、本発明にかかる薄膜トランジスタは基本的に、半導体薄膜と、所定のボタンを有するゲート電極と、両者の間に介在するゲート絶縁膜とを有する。該半導体薄膜にチャネル領域、高濃度不純物領域及び低濃度不純物領域が設けられてい

ものである。あるいは、前記低濃度不純物領域は不純物濃度が半導体薄膜の深さ方向に沿って勾配を有するものである。又好ましくは、前記高濃度不純物領域はチャネル領域の両側に位置し、前記低濃度不純物領域は少なくとも一方の高濃度不純物領域とチャネル領域との間に設ける。

【0005】 本発明の他の側面では、薄膜トランジスタは以下の工程により製造される。先ず絶縁基板上に所定のボタンのゲート電極を形成する第1工程を行なう。次に該ゲート電極の上にゲート絶縁膜を形成する第2工程を行なう。続いて該ゲート絶縁膜の上に半導体薄膜を形成する第3工程を行なう。さらに該ゲート電極のボタンより内側に入るボタンで第1不純物阻止膜を該半導体薄膜の上に形成する。この後該第1不純物阻止膜をマスクとして不純物を低濃度で該半導体薄膜にドーピングする第5工程を行なう。さらに該第1不純物阻止膜のボタンを包含し且つそれよりも大面積のボタンで第2不純物阻止膜を形成する第6工程を行なう。最後に、該第2不純物阻止膜をマスクとして不純物を高濃度で該半導体薄膜にドーピングする第7工程を行なう。好ましくは、前記第4工程は該ゲート電極をマスクとして透明な絶縁基板の裏面からオーバ露光を行ない、該絶縁基板の表面に第1不純物阻止膜のボタンを設定する裏面露光処理を含む。又好ましくは、前記第6工程は該ゲート電極をマスクとして透明な絶縁膜の裏面から露光を行ない、該絶縁基板の表面に第2不純物阻止膜のボタンを設定する裏面露光処理を含む。又、前記第5工程は不純物のイオンを電界加速して該半導体薄膜中にドーピングする。同様に、前記第7工程は不純物のイオンを電界加速して該半導体薄膜にドーピングする。あるいは、前記第7工程は不純物を高濃度で含有するドーブトシリコンを該半導体薄膜に重ねて成膜し、レーザ光を照射して不純物のドーピングを行なっても良い。さらに好ましくは、前記第4工程は熱変形可能なフォトレジストを用いて第1不純物阻止膜を形成し、前記第6工程は該フォトレジストをリフロー加熱して第1不純物阻止膜のボタンを拡大化し第2不純物阻止膜に転換する方法であっても良い。

【0006】 本発明は表示用薄膜半導体装置を包含している。この表示用薄膜半導体装置は画素電極と、これをスイッチング駆動する薄膜トランジスタと、該薄膜トランジスタを駆動する駆動回路に含まれる薄膜トランジスタとが同一基板に集積形成されている。少なくとも駆動回路に含まれる薄膜トランジスタは半導体薄膜と、所定のボタンを有するゲート電極と、両者の間に介在するゲート絶縁膜とを重ねた積層構造を有し、該半導体薄膜にチャネル領域、高濃度不純物領域及び低濃度不純物領域を設けている。前記半導体薄膜は該ゲート電極のボタン内に包含される内側部とボタン外に位置する外側部とに分かれている。前記チャネル部は該内側部に形成され、前記高濃度不純物領域は該外側部に形成される。特徴事

項として、前記低濃度不純物領域は該チャネル領域と該高濃度不純物領域の間に位置し、且つ少なくとも一部は該内側部に包含される。

【0007】多結晶シリコン等の半導体薄膜を活性層とする薄膜トランジスタではオフ電流（リーク電流）の抑制が重要であり、LDD構造が採用されている。しかしながら、チャネル領域と高濃度不純物領域との間に低濃度不純物領域（LDD領域）を介在させたLDD構造を採用するとオン電流（駆動電流）が低下する。この点に鑑み、本発明はオン電流を低下させずオフ電流を抑制する新規なLDD構造を実現している。従来のLDD構造ではLDD領域がゲートパタンよりも外側部にあり、ゲート電位による変調を受けない為その分駆動電流が下がる。特に、ソース領域側にこのLDD領域があると大きく下がってしまう。そこで、本発明ではこのLDD領域をゲートパタンの内側部に配置し、ゲート電位で変調させる様にしてオン電流を下げない様にする。

【0008】

【発明の実施の形態】以下、図1を参照して最良な発明の実施形態を説明する。(A)は本発明にかかる薄膜トランジスタの基本的な断面構造を表わしており、ボトムゲート型である。図示する様に、薄膜トランジスタは多結晶シリコン等からなる半導体薄膜1と、所定のパタンを有するゲート電極2と、両者の間に介在するゲート絶縁膜3とを重ねた積層構造を有する。本例では半導体薄膜1の下側にゲート電極2が配置しておりボトムゲート型となっている。半導体薄膜1にはチャネル領域（Iイントリンシック）領域4と、高濃度不純物領域（N++領域）5と、低濃度不純物領域（N領域）6とが設けられている。高濃度不純物領域5はチャネル領域4の両側に位置し、夫々ソース領域S及びドレイン領域Dとして機能する。一方、低濃度不純物領域6はLDD領域となり、少なくとも一方の高濃度不純物領域5とチャネル領域4との間に介在する。本例では、LDD領域6はチャネル領域4とドレイン領域Dとの間及びチャネル領域4とソース領域Sとの間に設けられている。

【0009】半導体薄膜1はアイランド状にパタニングされており、ゲート電極2のパタン内に包含される内側部INとパタン外に位置する外側部OUTとに分かれている。チャネル領域4は内側部INに形成される一方、高濃度不純物領域5は外側部OUTに形成されている。特徴事項として、低濃度不純物領域6はチャネル領域4と高濃度不純物領域5の間に位置し且つ少なくとも一部は内側部INに包含されている。なお、図示の例では低濃度不純物領域6は全て内側部INに包含されている。好ましくは、低濃度不純物領域6はその不純物濃度が $10^{10} \sim 10^{11}$ 個/cm³に設定されている。又、低濃度不純物領域6はその不純物濃度がチャネル領域4から高濃度不純物領域5に向う水平方向に沿って勾配を有するものであっても良い。LDD領域にドレイン方向又はソー

ス方向に向って濃度分布を付ける事で、LDD領域の幅を実効的に狭くできより多くのオン電流を確保できる。あるいは、LDD領域の不純物濃度が半導体薄膜1の厚さ方向に沿って勾配を有する様にしても同様の効果が得られる。なお、上述した構造を有する薄膜トランジスタは絶縁基板7の上に形成されると共に、パシベーション膜8により被覆されている。このパシベーション膜8にはソース領域S及びドレイン領域Dに連通するコンタクトホールが開口している。パシベーション膜8の上には配線9がパタニング形成されており、コンタクトホールを介してソース領域S及びドレイン領域Dに電気接続している。

【0010】ところで、ドレイン耐圧を測定する場合、ソース領域S及びゲート電極2を接地電位に近い状態に保持すると共に、ドレイン領域Dに正電位（Nチャネルトランジスタの場合）を印加する。この時、チャネル領域4とドレイン領域Dの接合部では強い電界（アキュミレーション層）が形成される。この為、接合部には強い横方向電界が発生し、ブレイクダウンの原因となる。この横方向電界を弱める為にLDD領域6が介在している。従来、このLDD領域6をゲート電極2のパタンの内側部INに設けても、ゲート電位によって変調を受ける為意味をなさないと考えられていた。しかしながら、詳しく計算するとLDD領域6の不純物濃度を適切な電位に設定すると、ゲート電位で変調されてもLDD領域を有する事が判明した。この現象を積極的に利用してゲート電位で変調させる様にしてオン電流を下げない様にすると共に、オフ電流を抑制している。

【0011】(B)はトップゲート型の薄膜トランジスタを表わしており、本発明はボトムゲート型とトップゲート型とを問わず適用可能である。なお、(A)に示したボトムゲート型の薄膜トランジスタと対応する部分には対応する参照番号を付して理解を容易にしている。図示する様に、トップゲート型では半導体薄膜1の上にゲート絶縁膜3を介してゲート電極2がパタニング形成されている。チャネル領域4はゲート電極2のパタンの内側部INに形成され、高濃度不純物領域5は外側部OUTに形成されている。低濃度不純物領域6は少なくとも一部ゲート電極2のパタンの内側部INに包含されている。

【0012】図2は薄膜トランジスタのオン電流及びオフ電流とLDD領域における不純物濃度との関係を示すグラフである。縦軸にオン電流及びオフ電流をとり、横軸に不純物濃度をとっている。カーブAONは図1の(A)に示した薄膜トランジスタのオン電流を表わし、カーブZONは従来の薄膜トランジスタのオン電流を表わしている。又、カーブAOFFは本発明にかかる薄膜トランジスタのオフ電流を示し、カーブZOFFは従来の薄膜トランジスタのオフ電流を表わしている。グラフから明らかな様に、LDD領域（N領域）の不純物濃度

を 10^{14} 個/cm²～ 10^{15} 個/cm²の間に設定する事で、本発明にかかる薄膜トランジスタはオン電流が殆ど変わらずにオフ電流が下げられる。一方、従来の薄膜トランジスタではLDD領域を設ける事によりオン電流が低下している。なお、高濃度不純物領域(N++領域)の不純物濃度は 10^{19} ～ 10^{20} 個/cm³程度に制御されている。

【0013】

【実施例】図4を参照して本発明にかかる薄膜トランジスタの製造方法の好適な実施例を詳細に説明する。先ず工程(A)で、ガラス等からなる絶縁基板5.1の上に所定のボタンを有するゲート電極5.2を形成する。例えば、Ta/Mo等からなる金属膜をスパッタリングで成膜した後、フォトリソグラフィ及びエッチングにより金属膜をパタニングしてゲート電極5.2に加工する。この段階で1枚目のフォトマスクを使用する。

【0014】工程(B)に進み、ゲート電極5.2の上にゲート絶縁膜5.3を形成する。例えば、CVDによりSiO₂を成膜してゲート絶縁膜5.3とする。あるいは、SiO₂に代えてP-SiNを用いても良い。さらに、P-SiNとSiO₂の積層膜をゲート絶縁膜としても良い。続いて、非晶質シリコンからなる半導体薄膜5.4をCVD法により成膜する。この半導体薄膜5.4にレーザ光を照射して一旦溶融化した後冷却過程で非晶質シリコンを多結晶シリコンに転換する。さらに、フォトリソグラフィ及びエッチングにより半導体薄膜5.4をアイランド状にパタニングして薄膜トランジスタの渠子領域(活性層)とする。この段階で第2のフォトマスクを使用する。

【0015】工程(C)に進み、SiO₂をCVDにより50nmの厚みで成膜し保護膜5.5を形成する。続いて、ゲート電極5.2のボタンより内側に入るボタンで第1不純物阻止膜5.6を半導体薄膜5.4の上に保護膜5.5を介して形成する。具体的には、ゲート電極5.2をマスクとして透明な絶縁基板5.1の裏面からオーパ露光を行ない、絶縁基板5.1の表面に第1不純物阻止膜5.6のボタンを設定している。さらに具体的には、フォトレジストを塗布した後裏面からのオーパ露光を行なう事でセルフアライメントによりフォトレジストを第1不純物阻止膜5.6に加工している。これにより、極めて精度良く第1不純物阻止膜5.6をパタニングできるばかりでなく、ゲート電極5.2をマスクとしたセルフアライメント方式なので何等フォトマスクを必要としない。ゲート電極5.2に対する第1不純物阻止膜5.6のアライメント精度は極めて高くなる。引き続いて、第1不純物阻止膜5.6をマスクとして不純物を低濃度で半導体薄膜5.4にドーピングしN領域を形成する。例えば燐等の不純物のイオンを電界加速して半導体薄膜5.4中にドーピングする。この後使用済みになった第1不純物阻止膜5.6を剥離する。

【0016】工程(D)に進み、第1不純物阻止膜5.6のボタンを包含し且つそれよりも大面積のボタンで第2不純物阻止膜5.7を形成する。具体的には、ゲート電極5.2をマスクとして透明な絶縁基板5.1の裏面から露光を行ない、絶縁基板5.1の表面に第2不純物阻止膜5.7のボタンを設定する裏面露光処理を行なう。さらに具体的には、保護膜5.5の表面にフォトレジストを塗布した後裏面露光を行なってセルフアライメントによりフォトレジストを第2不純物阻止膜5.7に加工している。この時、露光量を調整する事で、第1不純物阻止膜5.6より大面積の第2不純物阻止膜5.7を形成できる。例えば、オーパ露光ではなくジャスト露光を行なえば良い。さらに、第2不純物阻止膜5.7をマスクとして不純物を高濃度で半導体薄膜5.4にドーピングし、N++領域を設ける。具体的には、燐等の不純物のイオンを電界加速して保護膜5.5を介し半導体薄膜5.4にドーピングする。この後不要になった第2不純物阻止膜5.7を剥離する。以上により、ボトムゲート型薄膜トランジスタのソース領域S及びドレイン領域D(N++領域)とLDD領域(N領域)が形成される。図から明らかな様に、LDD領域はチャネル領域とソース領域Sとの間及びチャネル領域とドレイン領域Dとの間に設けられ、且つゲート電極5.2のボタンの内側部に包含される。

【0017】工程(E)に進み、ボトムゲート型の薄膜トランジスタを層間絶縁膜5.8で被覆する。例えば、SiO₂をCVDにより成膜して層間絶縁膜5.8とする。続いてCVDによりP-SiNを成膜しキャップ膜5.9とする。この状態で例えば350℃程度のアニールを行ない、層間絶縁膜5.8に含有されていた水素を半導体薄膜5.4に拡散する。この水素化処理により薄膜トランジスタの特性が改善できる。なお、キャップ膜5.9は緻密な組成を有しており水素の外方拡散を抑制している。この後フォトリソグラフィ及びエッチングによりソース領域S及びドレイン領域Dに連通するコンタクトホールを開口する。この段階で3枚目のフォトマスクを使用する。

【0018】この後電極形成工程等を行なって薄膜半導体装置が完成する。完成状態を図5に示す。前工程でコンタクトホールを開口した後金属をスパッタリングで成膜する。本例ではアルミニウムとモリブデンを2層に重ねて成膜している。フォトリソグラフィ及びエッチングによりこの金属膜をパタニングして配線電極6.0に加工する。この段階で4枚目のフォトマスクを使用する。続いて感光性のアクリル樹脂等を塗布して平坦化膜6.1を設け、薄膜トランジスタや配線電極6.0の凹凸を埋める。さらにフォトリソグラフィにより平坦化膜6.1を選択的にエッチングしコンタクトホールを開口する。この段階で5枚目のフォトマスクを使用する。最後に、平坦化膜6.1の上にITO等の透明導電膜をスパッタリングにより成膜し、フォトリソグラフィ及びエッチングで所

定の形状にパタニングして画素電極62に加工する。この段階で6枚目のフォトマスクを使用する。以上により、表示用薄膜半導体装置には画素電極62とこれを駆動する薄膜トランジスタが集積形成される。さらに、図示しないが周辺の駆動回路を構成する薄膜トランジスタも同一の絶縁基板51上に集積形成される。以上の様に、本発明にかかる製造方法では6枚のフォトマスクのみを用いて表示用薄膜半導体装置を作成できる。平坦化膜61を省略する場合には5枚のフォトマスクのみを使用すれば良い。

【0019】図3は、図4の工程(C)及び(D)に示した裏面露光処理における露光量とオフセット幅との関係を示している。このオフセット幅はゲート電極52のボタンよりも内側に入り込む不純物阻止膜56、57の幅を表わしている。なお、このグラフは露光エネルギーを $15\text{ mJ}/\text{cm}^2$ に設定し不純物阻止膜の材料としてポジ型のフォトレジストOFPR-800を用いた場合である。絶縁基板としてはガラス(コーニング7059)を用いている。又、ゲート絶縁膜はSiN、(50nm)とSiO₂、(200nm)の積層構造を用い、半導体薄膜は30nmの多結晶シリコンを用いている。グラフから明らかになる様に、露光時間を2.0sに設定した時、露光量が $300\text{ mJ}/\text{cm}^2$ となり、ジャスト露光の条件が得られオフセット幅は零である。これに対し、例えば露光時間を5.0s程度に設定すると露光量が $800\text{ mJ}/\text{cm}^2$ 程度となりオーバー露光の条件が得られオフセット幅は $1\text{ }\mu\text{m}$ 程度になる。この様に、露光時間を制御する事でオフセット幅が正確に設定でき、ばらつきの少ないLDD領域幅が実現できる。なお、ゲート電極をマスクとしたセルフアライメントによる裏面露光を採用しないで、フォトマスクを用いた表面側からの露光によりフォトレジストを不純物阻止膜に加工する事はできる。しかしながらこれでは必ずアライメント誤差が生じる為ソース領域側とドレイン領域側でLDD領域の幅が異なってしまう。あるいは、個々の薄膜トランジスタ間でLDD領域の幅がばらついてしまう。

【0020】図6は、図5に示した表示用薄膜半導体装置を駆動基板として用いたアクティブマトリクス型表示パネルの一例を示す模式的な斜視図である。図示する様に、本表示パネルは駆動基板101と対向基板102と両者の間に保持された液晶103とを備えたフラット構造を有する。駆動基板101には画面部104と周辺部とが集積形成されている。周辺部は垂直駆動回路105と水平駆動回路106とを含んでいる。これらの駆動回路は本発明に従ったLDD構造を備えた薄膜トランジスタにより構成されている。駆動基板101の周辺部上端には外部接続用の端子部107が形成されている。端子部107は配線108を介して垂直駆動回路105及び水平駆動回路106に接続している。画面部104は行列状に交差したゲート配線109及び信号配線110を

含んでいる。各交差部には画素電極111とこれをスイッチング駆動する薄膜トランジスタ112が形成されている。ゲート配線109は垂直駆動回路105に接続し、信号配線110は水平駆動回路106に接続している。薄膜トランジスタ112のドレイン領域は対応する画素電極111に接続し、ソース領域は対応する信号配線110に接続し、ゲート電極は対応するゲート配線109に接続している。かかる構成において、少なくとも駆動回路105、106に含まれる薄膜トランジスタはそのLDD領域がゲート電極パタンの内側部に包含されている。一従に、画素電極を駆動するスイッチング用の薄膜トランジスタは画素電極に書き込まれた信号電荷を1フィールド期間に渡って保持する為オフ電流(リーク電流)を厳しく抑制する事が重要である。これに対し、駆動回路を構成する薄膜トランジスタはオフ電流を抑制する点に加え、大きなオン電流を確保して駆動能力を改善する事が重要である。特に、高速駆動回路ではオン電流の絶対値を大きくするばかりでなく個々の薄膜トランジスタ間でオン電流のばらつきを±20%以下に制御する事が必須である。この点、本発明によればLDD領域をゲート電極パタンの内側に内包する事で十分なオン電流を確保している。さらに、前述した裏面からのオーバー露光処理を行なって個々の薄膜トランジスタのLDD領域幅を精度良く制御しておりオン電流のばらつきが少ない。

【0021】図7は第1不純物阻止膜及び第2不純物阻止膜の形成方法の他の実施例を示す模式的な断面図である。なお、図4と対応する部分には対応する参照番号を付して理解を容易にしている。工程(A)は図4の工程(C)と同様であり、ゲート電極52をマスクとした裏面からのオーバー露光により第1不純物阻止膜56を形成している。ただ、不純物阻止膜56の材料として熱変形可能なフォトレジストを用いる点で異なっている。この後工程(B)に進み、熱変形可能なフォトレジストをリフロー加熱して第1不純物阻止膜56のボタンを拡大化し第2不純物阻止膜57に転写している。リフロー加熱は例えば $140^\circ\text{C}\sim 180^\circ\text{C}$ の温度にて行なわれる。この様に、本実施例では裏面からの露光処理により第2不純物阻止膜を形成する代わりに、リフロー加熱で第1不純物阻止膜56を第2不純物阻止膜57に転写しており製造工程が簡略化できる。又、このリフロー加熱は加熱温度や加熱時間を制御する事で、拡大幅を精密に制御でき、従ってLDD領域幅をばらつきなく作り込む事が可能である。

【0022】図8はソース領域S及びドレイン領域Dの形成方法の他の例を示す模式的な断面図である。本例は、図4の工程(D)に示したイオンドーピングに代えて熱拡散法により不純物を高温で半導体薄膜に導入している。なお、図4の工程(D)と対応する部分には対応する参照番号を付して理解を容易にしている。本例で

は、不純物を高濃度で含有するドーパントシリコン70を半導体薄膜54に重ねて成膜し、レーザ光を照射して不純物のドーピングを行なっている。この関係で、第2不純物阻止膜57はフォトリソに代え耐熱性を有するSiO₂を用いている。この第2不純物阻止膜57は、ドーパントシリコン70をエッチングして配線電極に加工する際のエッチングストッパとしても機能する。本例ではレーザドーピングを用いて不純物を半導体薄膜54に拡散すると共に同時に活性化している。

【0023】

【発明の効果】以上説明した様に、本発明によれば、薄膜トランジスタのLDD領域は少なくとも一部ゲート電極バタンの内側部に包含されており、オフ電流を抑制すると共に十分なオン電流の確保を可能にしている。又、ゲート電極をマスクとしたセルフアライメントによる裏面露光技術を採用してLDD領域の幅を精密に制御している為、オン電流のばらつきが顕著に抑制できる。

【図面の簡単な説明】

【図1】本発明にかかる薄膜トランジスタの最良な実施形態を示す断面図である。

【図2】薄膜トランジスタにおけるLDD領域の不純物濃度とオン電流及びオフ電流との関係を示すグラフであ

る。

【図3】ゲート電極をマスクとした裏面露光における露光量とオフセット幅との関係を示すグラフである。

【図4】本発明にかかる薄膜トランジスタ製造方法の一実施例を示す工程図である。

【図5】図4に示した工程に従って製造された表示用薄膜半導体装置の完成状態を示す断面図である。

【図6】図5に示した表示用薄膜半導体装置を駆動基板として組み立てたアクティブマトリクス型表示パネルの一例を示す斜視図である。

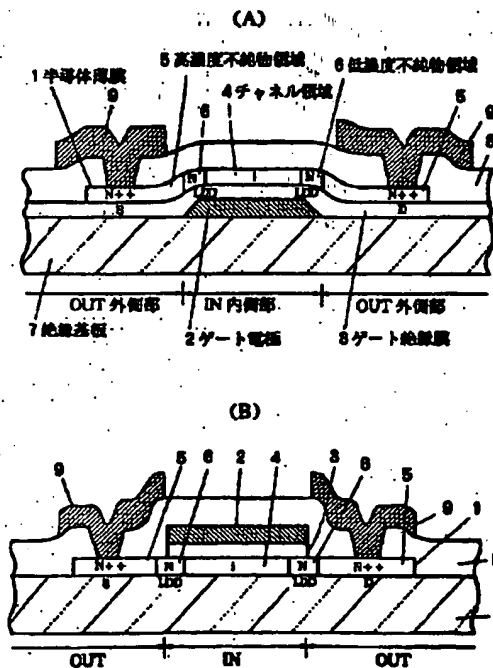
【図7】本発明にかかる薄膜トランジスタ製造方法の他の実施例を示す工程図である。

【図8】本発明にかかる薄膜トランジスタ製造方法の別の実施例を示す断面図である。

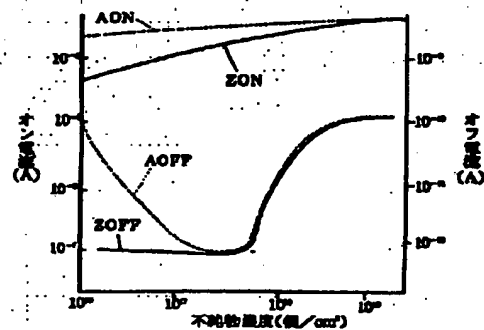
【符号の説明】

- 1 半導体薄膜
- 2 ゲート電極
- 3 ゲート絶縁膜
- 4 チャネル領域
- 5 高濃度不純物領域
- 6 低濃度不純物領域
- 7 絶縁基板

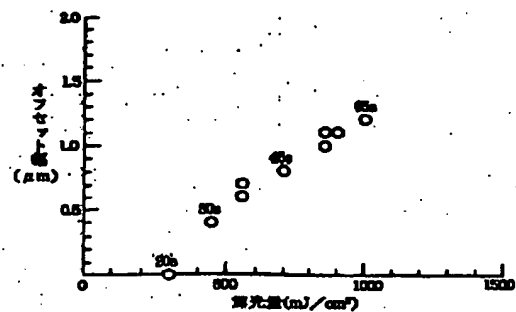
【図1】



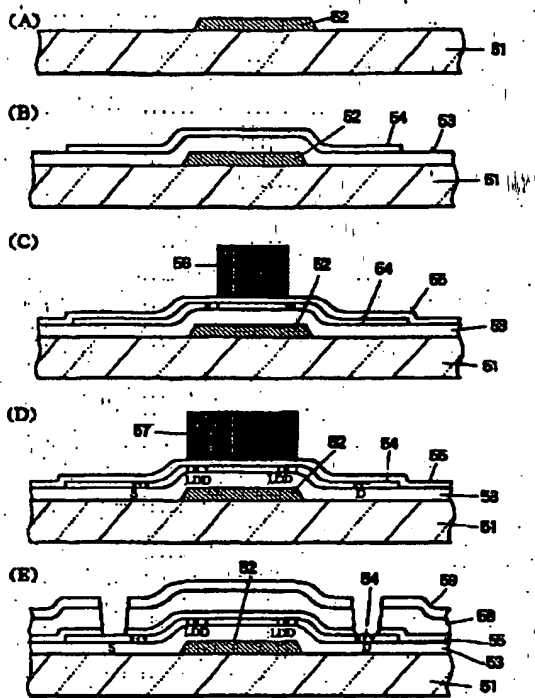
【図2】



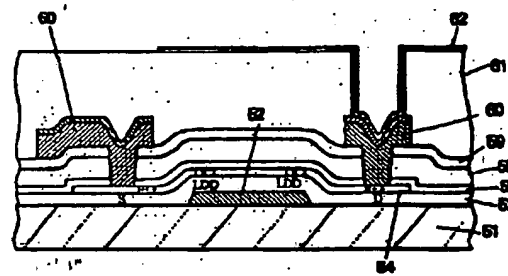
【図3】



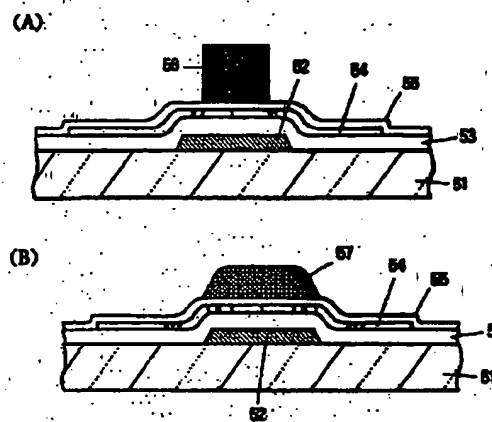
【图4】



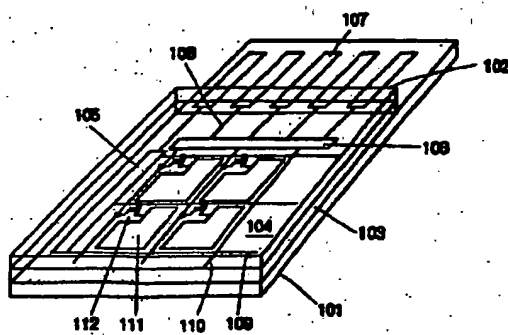
【圖5】



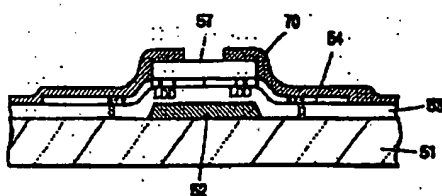
【圖 7】



【图 6】



【图 8】



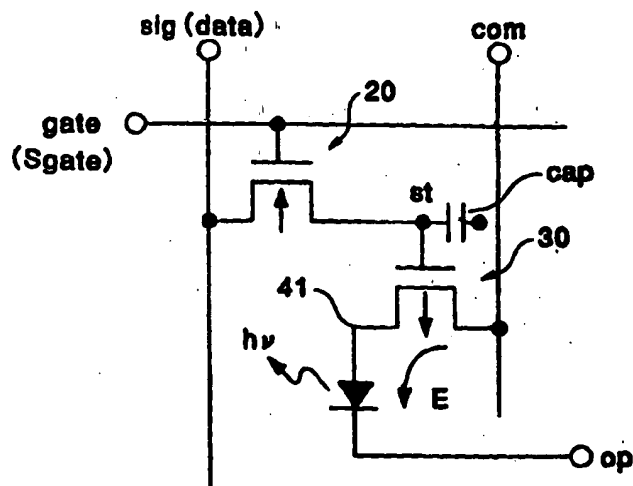
PCT

世界知的所有権機関
国際事務局

特許協力条約に基づいて公開された国際出願



(51) 国際特許分類 G09G 3/30, H05B 33/08, 33/26, H01L 33/00	A1	(11) 国際公開番号 WO98/36407 (43) 国際公開日 1998年8月20日 (20.08.98)
(21) 国際出願番号 PCT/JP98/00656 (22) 国際出願日 1998年2月17日 (17.02.98) (30) 優先権データ 特願平9/32474 1997年2月17日 (17.02.97) JP 特願平9/236351 1997年9月1日 (01.09.97) JP 特願平9/236353 1997年9月1日 (01.09.97) JP (71) 出願人 (米国を除くすべての指定国について) セイコーエプソン株式会社 (SEIKO EPSON CORPORATION)[JP/JP] 〒163-0811 東京都新宿区西新宿二丁目4番1号 Tokyo, (JP) (72) 発明者; および (75) 発明者/出願人 (米国についてのみ) 小澤徳郎(OZAWA, Tokuroh)[JP/JP] 木村 睦(KIMURA, Mutsumi)[JP/JP] 〒392-8502 長野県諏訪市大和三丁目3番5号 セイコーエプソン株式会社内 Nagano, (JP) (74) 代理人 弁理士 鈴木喜三郎, 外(SUZUKI, Kisaburo et al.) 〒163-0811 東京都新宿区西新宿二丁目4番1号 セイコーエプソン株式会社内 Tokyo, (JP)		(81) 指定国 CN, JP, KR, US, 欧州特許 (AT, BE, CH, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE). 添付公開書類 国際調査報告書
(54)Title: DISPLAY DEVICE (54)発明の名称 表示装置 (57) Abstract A driving system taking into consideration the conductivity of a TFT which controls the light emitting operations of a current-driven light emitting element. When an N-channel type TFT is used as the second TFT (30) which switches supply of a driving current to a light emitting element (40), a high gate voltage (V_{gcur}) is obtained by lowering the potential at a common feeder line (com) against the potential at the counter electrode (op) of the element (40). A p-channel TFT is used as a first TFT (20) and the polarity of the low potential of a scanning signal (Sgate), and the potential at the common feeder line (com) is made equal to that of the potential at a potential holding electrode (st) at turning-on time. The driving voltage of the light emitting element is dropped and the display quality of the element is improved by shifting the potential of picture signals (data) for turning on in the direction in which the turning-on resistances of the TFTs (20 and 30) become smaller within the range of the driving voltage of the display device (1).		



(57) 要約

電流駆動型の発光素子を用いた表示装置において、発光素子の発光動作を制御するTFTの導電型を考慮した駆動方式を採用して、駆動電圧の低電圧化と表示品位の向上とを併せて図ることを目的に、発光素子(40)への駆動電流の給断を行う第2のTFT(30)がNチャネル型である場合には、発光素子(40)の対向電極(op)の電位に対して共通給電線(com)の電位を低くし、高いゲート電圧(V_{gcur})が得られるようにする。この場合に、第2のTFT(30)のゲートに接続する第1のTFT(20)をPチャネル型とし、点灯時の電位保持電極(st)の電位を基準にしたときには、この電位保持電極(st)の電位に対して、走査信号(Sgate)の低電位と共通給電線(com)の電位とを同じ極性にする。従って、表示装置(1)の駆動電圧レンジの範囲内で、点灯のための画像信号(data)の電位を、第1のTFT(20)および第2のTFT(30)のオン時の抵抗が小さくなる方向にシフトさせて駆動電圧の低電圧化と表示品位の向上とを図ることができる。

PCTに基づいて公開される国際出願のパンフレット第一頁に掲載されたPCT加盟国を同定するために使用されるコード(参考情報)

AL	アルバニア	FI	フィンランド	LT	リトアニア	SN	セネガル
AM	アルメニア	FR	フランス	LV	ラトヴィア	SD	スーダン
AT	オーストリア	GB	英国	MC	モナコ	TD	チャド
AU	オーストラリア	GE	グルジア	MD	モルドヴァ	TG	タンザニア
AZ	アゼルバイジャン	GH	ガーナ	MG	マダガスカル	TM	トルクメニスタン
BB	ボスニア・ヘルツェゴビナ	GM	ギニア	MK	マケドニア	TT	トリニダード・トバゴ
BE	ベルギー	GN	ギニア・ビサウ		マリ	TR	トルコ
BF	ブルキナ・ファソ	GW	ギニア・ビサウ	ML	マリ	UA	ウクライナ
BG	ブルガリア			MN	モンゴル	UG	ウガンダ
BJ	ベナン	GR	ギリシャ	MR	モロッコ	US	米国
BR	ブラジル	HU	ハンガリー	MW	マラウイ	UZ	ウズベキスタン
BS	バハマ	IE	アイルランド	MX	メキシコ	VN	ベトナム
CA	カナダ	IL	イスラエル	NE	ニジェール	YU	ユーゴスラヴィア
CC	中央アフリカ共和国	IS	アイスランド	NL	オランダ	ZW	ジンバブエ
CF	中央アフリカ共和国	IT	イタリア	NO	ノルウェー		
CG	コンゴ			NZ	ニュージーランド		
CH	スイス	JP	日本	PL	ポーランド		
CI	コートジボワール	KE	ケニア	PT	ポルトガル		
CM	カメルーン	KG	キルギス	RO	ルーマニア		
CN	中国	KP	北朝鮮	RU	ロシア		
CO	コロンビア	KR	韓国	SE	スウェーデン		
CR	コスタリカ	KZ	カザフスタン	SG	シンガポール		
CU	キューバ	LC	セントルシア	SI	スロベニア		
CY	キプロス	LI	リヒテンシュタイン	SK	スロバキア		
DE	ドイツ	LR	リベリア	SL	シエラレオネ		
DK	デンマーク	LS	レソト				
EE	エストニア						
EG	エジプト						

明細書

表 示 装 置

技術分野

本発明は、有機半導体膜等の発光薄膜に駆動電流が流れることによって発光するEL（エレクトロルミネッセンス）素子またはLED（発光ダイオード）素子などの発光素子と、この発光素子の発光動作を制御する薄膜トランジスタ（以下、TFTという。）とを用いたアクティブマトリクス型の表示装置に関するものである。さらに詳しくは、このタイプの表示装置に構成された各素子の駆動技術に関するものである。

背景技術

EL素子またはLED素子などの電流制御型発光素子を用いたアクティブマトリクス型の表示装置が提案されている。このタイプの表示装置に用いられる発光素子はいずれも自己発光するため、液晶表示装置と違ってバックライトを必要とせず、また視野角依存性が少ないなどの利点がある。

図31は、このような表示装置の一例として、電荷注入型の有機薄膜EL素子を用いたアクティブマトリクス型表示装置のブロック図である。この図に示す表示装置1Aでは、透明基板上に、複数の走査線gateと、これらの走査線gateの延設方向に対して交差する方向に延設された複数のデータ線sigと、これらのデータ線sigに並列する複数の共通給電線comと、データ線sigと走査線gateとの交差点に対応する画素7とが構成されている。

画素7の各々には、走査線gateを介して走査信号がゲート電極（第1のゲート電極）に供給される第1のTFT20と、この第1のTFT

T 2 0 を介してデータ線 *s i g* から供給される画像信号を保持する保持容量 *c a p* と、この保持容量 *c a p* によって保持された画像信号がゲート電極（第 2 のゲート電極）に供給される第 2 の T F T 3 0 と、第 2 の T F T 3 0 を介して共通給電線 *c o m* に電氣的に接続したときに共通給電線 *c o m* から駆動電流が流れ込む発光素子 4 0 （抵抗として表してある。）とが構成されている。

このように構成された表示装置 1 A において、第 1 の T F T 2 0 および第 2 の T F T 3 0 は、従来、N チャネル型を例にとると、製造プロセスを簡略化するという観点から、図 3 2 にその等価回路を示すように、いずれも N チャネル型あるいは P チャネル型の T F T として構成されている。従って、N チャネル型を例にとると、図 3 3 (A)、(B) に示すように、走査線 *g a t e* から供給される走査信号 *S g a t e* が高電位になって第 1 の T F T 2 0 がオン状態になったときにデータ線 *s i g* から保持容量 *c a p* に高電位の画像信号 *d a t a* が書き込まれると、第 2 の T F T 3 0 がオン状態に保持される。その結果、発光素子 4 0 では、画素電極 4 1 から対向電極 *o p* に向けて矢印 E で示す方向の駆動電流が流れ続け、発光素子 4 0 が発光し続ける（点灯状態）。これに対して、走査線 *g a t e* から供給される走査信号 *S g a t e* が高電位になって第 1 の T F T 2 0 がオン状態になったときに、データ線 *s i g* から保持容量 *c a p* に共通給電線 *c o m* の電位と対向電極 *o p* の電位の間のある電位よりも低い電位の画像信号 *d a t a* が書き込まれると、第 2 の T F T 3 0 がターンオフし、発光素子 4 0 が消灯する（消灯状態）。

このような表示装置 1 A において、各素子を構成する半導体膜、絶縁膜、電極などは基板上に堆積した薄膜から構成され、かつ、この薄膜は基板の耐熱性などを考慮して低温プロセスで形成されることが多い。従って、薄膜とバルクとの物性の差異などに起因して欠陥が多いなど膜品

質が劣る

ため、TFTなどでは絶縁破壊や経時劣化などの問題が表面化しやすい。

液晶を光変調素子として用いた液晶表示装置でも薄膜を用いるという点で共通するが、この場合には光変調素子を交流駆動するので、液晶だけでなく、TFTの経時劣化も抑えることができる。これに対して、電流制御型発光素子を用いた表示装置1Aでは直流駆動せざるを得ないという点では、液晶表示装置よりもTFTに経時劣化が起きやすい。このような問題点を解消するため、電流制御型発光素子を用いた表示装置1AでもTFTの構造やプロセス技術に改良が加えられているものの、未だ、十分に改良されたとはいえない。

また、液晶を光変調素子として用いた場合には、この光変調素子を電圧により制御するので、個々の素子には電流が瞬間的に流れるだけであるので、消費電力が小さい。これに対して、電流制御型発光素子を用いた表示装置1Aでは、発光素子を点灯させ続けるには駆動電流を定常的に流す必要があるので、消費電力が高くなり、絶縁破壊や経時劣化が起きやすい。

さらに、液晶表示装置では1画素当たり1つのTFTで液晶を交流駆動することができるが、電流制御型発光素子を用いた表示装置1Aでは、1画素当たり2つのTFT20、30で発光素子40を直流駆動するので、駆動電圧が高くなり、前記の絶縁破壊や消費電力が大きいという問題が顕著である。たとえば、図33(A)に示すように、画素を選択する際の第1のTFT20のゲート電圧 V_{gsw} は、走査信号 S_{gate} の高電位に相当する電位と電位保持電極 s_t の電位（保持容量 c_{ap} の電位、または第2のTFT30のゲート電極の電位）との電位差に相当するため、発光素子40を高い輝度で点灯させようと電位保持電極 s_t の電位を高めて第2のTFT30のゲート電圧 V_{gcur} を高めたときには、

その分、第1のTFT20のゲート電圧 V_{gs} が低くなってしまうので、走査信号 S_{gate} の振幅を大きくする必要が生じ、表示装置1Aの駆動電圧が高くなってしまう。また、前記の表示装置1Aでは、発光素子40を消灯させる際に画像信号 $data$ の電位を共通給電線 com の電位と対向電極 op の電位の間のある電位よりも低くして第2のTFT30をターンオフさせるため、画像信号 $data$ の振幅が大きいという問題点もある。従って、この種の表示装置1Aでは、液晶表示装置と比較して、消費電力やTFTの耐電圧などに格段の配慮が必要であるが、従来の表示装置1Aではかかる配慮が十分になされていない。

そこで、本発明の課題は、電流駆動型の発光素子の発光動作を制御するTFTの導電型を考慮した駆動方式を採用して、駆動電圧の低電圧化による消費電力、絶縁破壊、経時劣化の低減と表示品位の向上とを併せて図ることができる表示装置を提供することにある。

発明の開示

上記課題を解決するため、請求項1に係る発明では、基板上に、複数の走査線と、該走査線に交差する複数のデータ線と、複数の共通給電線と、前記データ線と前記走査線とによりマトリクス状に形成された画素とを有し、該画素の各々には、前記走査線を介して走査信号が第1のゲート電極に供給される第1のTFTと、該第1のTFTを介して前記データ線から供給される画像信号を保持する保持容量と、該保持容量によって保持された前記画像信号が第2のゲート電極に供給される第2のTFTと、前記画素毎に形成された画素電極が前記第2のTFTを介して前記共通給電線に電気的に接続したときに前記画素電極と発光薄膜を介して対向する対向電極との間に流れる駆動電流によって前記発光薄膜が発光する表示装置において、前記第2のTFTがNチャネル型の場合に

は、前記共通給電線は前記対向電極よりも低電位に設定されていることを特徴とする。

本発明に係る表示装置では、第2のTFTのオン時のゲート電圧は、共通給電線の電位および画素電極の電位のうちの一方の電位と、ゲート電極の電位（画像信号の電位）との差に相当するので、第2のTFTの導電型に応じて、共通給電線の電位と発光素子の対向電極の電位との相対的な高低を最適化し、第2のTFTのゲート電圧は、共通給電線の電位と電位保持電極の電位との差に相当するように構成してある。たとえば、第2のTFTがNチャネル型であれば、発光素子の対向電極の電位に対して共通給電線の電位を低くしてある。この共通給電線の電位については、画素電極の電位と相違して、十分に低い値に設定することができるため、第2のTFTで大きなオン電流が得られ、高い輝度で表示を行うことができる。また、画素を点灯状態とする際に、第2のTFTにおいて高いゲート電圧が得られるのであれば、画像信号の電位を下げることで、画像信号の振幅を小さくし、表示装置における駆動電圧を下げる可以降低。それ故、消費電力を低減できるとともに、薄膜で構成された各素子で懸念されていた耐電圧の問題が顕在化しないという利点がある。

本発明において、上記第2のTFTがNチャネル型の場合には点灯状態とすべき画素に対して前記データ線から供給される画像信号の電位は、前記対向電極の電位と比較して低電位、あるいは等電位であることが好ましい。このように構成した場合も、第2のTFTをオン状態に保ったまま、画像信号の振幅を小さくすることができ、表示装置における駆動電圧を下げる可以降低。

本発明において、第2のTFTがNチャネル型の場合には、消灯状態とすべき画素に対して前記データ線から供給される画像信号の電位は、

前記共通給電線の電位と比較して高電位、あるいは等電位であることが好ましい（請求項５）。すなわち、画素を消灯状態にするときには、第２のＴＦＴを完全にターンオフさせるほどのゲート電圧（画像信号）を印加しない。発光素子の非線型電気特性とあいまって、消灯状態は実現できる。それ故、画像信号の振幅を小さくすることができ、表示装置における駆動電圧を下げ、また画像信号の高周波化を図ることができる。

本発明において、上記の各構成とは逆に、前記第２のＴＦＴがＰチャネル型の場合には、各電位の相対的な関係を逆転させる。すなわち、前記第２のＴＦＴがＰチャネル型の場合には、前記共通給電線は前記対向電極よりも高電位に設定されていることを特徴とする（請求項２）。この場合には、点灯状態とすべき画素に対して前記データ線から供給される画像信号の電位は、前記対向電極の電位と比較して高電位、あるいは等電位であることが好ましい（請求項４）。また、消灯状態とすべき画素に対して前記データ線から供給される画像信号の電位は、前記共通給電線の電位と比較して低電位、あるいは等電位であることが好ましい（請求項６）。

本発明において、前記第１のＴＦＴと前記第２のＴＦＴとは、逆導電型のＴＦＴで構成されていることが好ましい（請求項７）。すなわち、第１のＴＦＴがＮチャネル型であれば、第２のＴＦＴはＰチャネル型であり、第１のＴＦＴがＰチャネル型であれば、第２のＴＦＴはＮチャネル型であることが好ましい。詳しくは請求項８に関連して後述するが、このように構成すると、表示装置の駆動電圧レンジの範囲内で、点灯のための画像信号の電位を、第１のＴＦＴのオン時の抵抗が小さくなる方向に変更するだけで、表示動作の高速化を図ることができる。また、この時には画素を点灯させるための画像信号の電位が第２のＴＦＴのオン時の抵抗が小さくなる方向に変更したことになるので、輝度の向上を図

ることができる。よって、駆動電圧の低電圧化と表示品位の向上とを併せて達成することができる。

本発明の別の形態（請求項８）では、基板上に、複数の走査線と、該走査線に交差する複数のデータ線と、複数の共通給電線と、前記データ線と前記走査線とによりマトリクス状に形成された画素とを有し、該画素の各々には、前記走査線を介して走査信号が第１のゲート電極に供給される第１のＴＦＴと、該第１のＴＦＴを介して前記データ線から供給される画像信号を保持する保持容量と、該保持容量によって保持された前記画像信号が第２のゲート電極に供給される第２のＴＦＴと、前記画素毎に形成された画素電極と該画素電極に対向する対向電極との層間において前記画素電極が前記第２のＴＦＴを介して前記共通給電線に電気的に接続したときに前記画素電極と前記対向電極との間に流れる駆動電流によって発光する発光薄膜を具備する発光素子とを備える表示装置において、前記第１のＴＦＴと前記第２のＴＦＴとは、逆導電型のＴＦＴで構成されていることを特徴とする。

本発明では、例えば第１のＴＦＴがＮ型であれば、第２のＴＦＴがＰ型であるように、第１のＴＦＴと第２のＴＦＴとが逆導電型であるため、第１のＴＦＴの書き込み能力を上げるためには、走査信号の選択パルス高を高くし、第２のＴＦＴのオン抵抗を下げて発光輝度を上げるためには、画像信号の電位を低くすることになる。このような走査信号および画像信号の最適化は、第１のＴＦＴのゲート電圧に対して、画素の選択期間中、発光素子を点灯させるレベルの画像信号が保持容量に書き込まれていくにつれて、当該ＴＦＴのオン電流が増大する方にシフトさせるのに効く。それ故、データ線から第１のＴＦＴを介して保持容量に画像信号がスムーズに書き込まれる。ここで、画素を選択する際の第１のＴＦＴのゲート電圧は、走査信号の高電位に相当する電位と点灯時の電

位保持電極の電位（点灯のための画像信号の電位、保持容量の電位、または第2のTFTのゲート電極の電位）との差に相当し、第2のTFTのゲート電圧は、点灯時の電位保持電極の電位と共通給電線の電位との差に相当し、このときの電位保持電極の電位を基準にしたときには、走査信号の高電位に相当する電位と共通給電線の電位は同じ極性である。従って、点灯時の電位保持電極の電位（点灯のための画像信号の電位）を変更すれば、その分、第1のTFTのゲート電圧および第2のTFTのゲート電圧の双方が同じ方向に同じ分だけシフトする。それ故、表示装置の駆動電圧レンジの範囲内で、点灯のための画像信号の電位を、第1のTFTのオン時の抵抗が小さくなる方向にシフトさせれば、表示動作の高速化を図ることができる。また、この時には点灯のための画像信号の電位が第2のTFTのオン時の抵抗が小さくなる方向にシフトしたことになるので、輝度の向上を図ることができる。よって、駆動電圧の低電圧化と表示品位の向上とを併せて達成することができる。

本発明において、消灯状態にある画素における前記第2のTFTに印加されるゲート電圧は、該第2のTFTがオン状態となるとき極性と同じで、かつ、該第2のTFTのしきい値電圧を越えない値であることが好ましい（請求項9）。すなわち、画素を消灯状態にするときには、第2のTFTを完全にターンオフさせるほどのゲート電圧（画像信号）を印加しない。それ故、画像信号の振幅を小さくすることができ、画像信号の高周波化を実現できる。

このように構成した場合において、前記第1のTFTがNチャネル型、前記第2のTFTがPチャネル型であれば、前記第1のTFTをオン状態にするときの走査信号の電位と前記共通給電線の電位とが等しく、かつ、消灯状態にある画素の前記第2のTFTに印加されるゲート電極の電位は、前記第1のTFTをオン状態にするときの走査信号の電位か

ら当該第1のTFTのしきい値電圧を差し引いた電位よりも低電位であることが好ましい（請求項10）。それとは逆に、前記第1のTFTがPチャネル型、前記第2のTFTがNチャネル型であれば、前記第1のTFTをオン状態にするときの走査信号の電位と前記共通給電線の電位とが等しく、かつ、消灯状態にある画素の前記第2のTFTに印加されるゲート電極の電位は、前記第1のTFTをオン状態にするときの走査信号の電位に当該第1のTFTのしきい値電圧を加えた電位よりも高電位であることが好ましい（請求項11）。このように第1のTFTをオン状態にするときの走査信号の電位と共通給電線の電位とを等しくすると、各駆動信号のレベルの数が減るため、表示装置への信号入力端子の数を減らすことができるとともに、電源数を減らすことができるので、低消費電力となる。

本発明では、前記保持容量の両電極のうち、前記第2のTFTの第2のゲート電極に電気的に接続する電極とは反対側の電極には、前記走査信号の選択パルスより遅延して該選択パルスとは電位が逆方向に振れるパルスが供給されることが好ましい（請求項12）。このように構成すると、保持容量への画像信号の書き込みを補うことができるので、画像信号の振幅を大きくせずに、第2のTFTのゲート電極に印加される画像信号の電位を高輝度化の方向にシフトさせることができる。

本発明のさらに別の形態においては、基板上に、複数の走査線と、該走査線に交差する複数のデータ線と、複数の共通給電線と、前記データ線と前記走査線とによりマトリクス状に形成された画素とを有し、該画素の各々には、前記走査線を介して走査信号が第1のゲート電極に供給される第1のTFTと、該第1のTFTを介して前記データ線から供給される画像信号を保持する保持容量と、該保持容量によって保持された前記画像信号が第2のゲート電極に供給される第2のTFTと、前記画

素毎に形成された画素電極と該画素電極に対向する対向電極との層間において前記画素電極が前記第2のTFTを介して前記共通給電線に電氣的に接続したときに前記画素電極と前記対向電極との間に流れる駆動電流によって発光する発光薄膜を具備する発光素子とを備える表示装置において、前記保持容量の両電極のうち、前記第2のTFTの第2のゲート電極に電氣的に接続する電極とは反対側の電極には、前記走査信号の選択パルスより遅延して該選択パルスとは電位が逆方向に振れるパルスが供給されることを特徴とする（請求項13）。

このように構成すると、保持容量への画像信号の書き込みを補うことができるので、画像信号の振幅を大きくせずに、第2のTFTのゲート電極に印加される画像信号の電位を高輝度化の方向にシフトさせることができる。

上記のいずれの発明においても、前記発光薄膜としては、たとえば、有機半導体膜を用いることができる（請求項14）。

本発明では、上記のいずれの発明においても、第2のTFTについては、その飽和領域で動作させることにより、発光素子に異常電流が流れ、電圧降下等により他画素にクロストーク等が発生するのを防止することができる（請求項15）。

また、その線形領域で動作させることによりそのしきい値電圧のばらつきが表示動作に影響を及ぼすことを防止することができる（請求項16）。

図面の簡単な説明

図1は、本発明を適用した表示装置を模式的に示す平面図である。

図2は、本発明を適用した表示装置の基本的な構成を示すブロック図である。

図 3 は、図 2 に示す表示装置の画素を拡大して示す平面図である。

図 4 は、図 3 の A-A' 線における断面図である。

図 5 は、図 3 の B-B' 線における断面図である。

図 6 (A) は、図 3 の C-C' 線における断面図であり、図 6 (B) は、図 6 (A) に示すように構成したときの効果を説明するための説明図である。

図 7 (A)、(B) はそれぞれ、図 2 に示す表示装置に用いる発光素子の断面図である。

図 8 (A)、(B) はそれぞれ、図 7 に示す発光素子と別の構造を有する発光素子の断面図である。

図 9 は、図 7 (A)、図 8 (B) に示す発光素子の電流-電圧特性を示すグラフである。

図 10 は、図 7 (B)、図 8 (A) に示す発光素子の電流-電圧特性を示すグラフである。

図 11 は、Nチャネル型 T F T の電流-電圧特性を示すグラフである。

図 12 は、Pチャネル型 T F T の電流-電圧特性を示すグラフである。

図 13 は、本発明を適用した表示装置の製造方法を示す工程断面図である。

図 14 (A)、(B) はそれぞれ、図 3 から図 6 に示す表示装置の画素とは異なる構成の画素の平面図、および断面図である。

図 15 は、本発明の実施の形態 1 に係る表示装置の画素構成を示す等価回路図である。

図 16 (A)、(B) はそれぞれ、図 15 に示す画素に構成された各素子の電氣的な接続状態を示す説明図、および駆動信号などの電位変化を示す波形図である。

図 17 は、本発明の実施の形態 1 の変形例に係る表示装置の画素構成

を示す等価回路図である。

図 18 (A)、(B) はそれぞれ、図 17 に示す画素に構成された各素子の電気的な接続状態を示す説明図、および駆動信号などの電位変化を示す波形図である。

図 19 は、本発明の実施の形態 2 に係る表示装置の画素構成を示す等価回路図である。

図 20 (A)、(B) はそれぞれ、図 19 に示す画素に構成された各素子の電気的な接続状態を示す説明図、および駆動信号などの電位変化を示す波形図である。

図 21 は、本発明の実施の形態 2 の変形例に係る表示装置の画素構成を示す等価回路図である。

図 22 (A)、(B) はそれぞれ、図 21 に示す画素に構成された各素子の電気的な接続状態を示す説明図、および駆動信号などの電位変化を示す波形図である。

図 23 は、本発明の実施の形態 3 に係る表示装置の画素構成を示す等価回路図である。

図 24 (A)、(B) はそれぞれ、図 23 に示す画素を駆動するための信号の波形図、これらの信号と等価回路との対応を示す説明図である。

図 25 は、本発明の実施の形態 2 に係る表示装置の画素を駆動するための信号の波形図である。

図 26 は、本発明の実施の形態 3 の変形例に係る表示装置の画素構成を示す等価回路図である。

図 27 (A)、(B) はそれぞれ、図 26 に示す画素を駆動するための信号の波形図、これらの信号と等価回路との対応を示す説明図である。

図 28 (A)、(B) はそれぞれ、本発明の実施の形態 4 に係る表示装置の画素の等価回路図、それを駆動するための信号の波形図である。

図 29 は、図 28 に示す信号を発生させるための走査側駆動回路のブロック図である。

図 30 は、図 29 に示す走査側駆動回路から出力される各信号の波形図である。

図 31 は、表示装置のブロック図である。

図 32 は、図 31 に示す表示装置における従来の画素構成を示す等価回路図である。

図 33 (A)、(B) はそれぞれ、図 32 に示す画素を駆動するための信号の波形図、これらの信号と等価回路との対応を示す説明図である。

図 34 (A)、(B) はそれぞれ、隣接するゲート線を用いて容量を形成する構成のブロック図と、そのゲート電圧の信号波形である。

[符号の説明]

- 1 表示装置
- 2 表示部
- 3 データ側駆動回路
- 4 走査側駆動回路
- 5 検査回路
- 6 実装用パッド
- 7 画素
- 10 透明基板
- 20 第 1 の TFT
- 21 第 1 の TFT のゲート電極
- 30 第 2 の TFT

31	第2のTFTのゲート電極
40	発光素子
41	画素電極
42	正孔注入層
43	有機半導体膜
50	ゲート絶縁膜
bank	バンク層
cap	保持容量
cline	容量線
com	共通給電線
gate	走査線
op	対向電極
sig	データ線
st	電位保持電極

発明を実施するための最良の形態

図面を参照して、本発明の実施の形態を説明する。なお、本発明の各実施の形態を説明する前に、各形態で共通の構成について説明しておく。ここで、各形態で共通の機能を有する部分については、同一の符号を付して説明の重複を避けることとする。

(アクティブマトリクス基板の全体構成)

図1は、表示装置の全体のレイアウトを模式的に示すブロック図、図2は、それに構成されたアクティブマトリクスの等価回路図である。

図1に示すように、本形態の表示装置1では、その基体たる透明基板10の中央部分が表示部2とされている。透明基板10の外周部分のうち、図面に向かって上下の側には、データ線sigに対して画像信号を

出力するデータ側駆動回路 3、および検査回路 5 がそれぞれ構成され、図面に向かって左右の側には、走査線 gate に対して走査信号を出力する走査側駆動回路 4 が構成されている。これらの駆動回路 3、4 では、N 型の TFT と P 型の TFT とによって相補型 TFT が構成され、この相補型 TFT は、シフトレジスタ回路、レベルシフト回路、アナログスイッチ回路などを構成している。透明基板 10 上において、データ側駆動回路 3 よりも外周領域には、画像信号や各種の電位、パルス信号を入力するための端子群とされる実装用パッド 6 が形成されている。

表示装置 1 では、液晶表示装置のアクティブマトリクス基板と同様、透明基板 10 上に、複数の走査線 gate と、該走査線 gate の延設方向に対して交差する方向に延設された複数のデータ線 sig とが構成され、図 2 に示すように、これらのデータ線 sig と走査線 gate との交差によりマトリクス状に画素 7 が多数、構成されている。

これらの画素 7 のいずれにも、走査線 gate を介して走査信号がゲート電極 21（第 1 のゲート電極）に供給される第 1 の TFT 20 が構成されている。この TFT 20 のソース・ドレイン領域の一方は、データ線 sig に電氣的に接続し、他方のソース・ドレイン領域は電位保持電極 st に電氣的に接続している。すなわち、走査線 gate に対しては容量線 cline が並列配置され、この容量線 cline と電位保持電極 st との間には保持容量 cap が形成されている。従って、走査信号によって選択されて第 1 の TFT 20 がオン状態になると、データ線 sig から画像信号が第 1 の TFT 20 を介して保持容量 cap に書き込まれる。

電位保持電極 st には第 2 の TFT 30 のゲート電極 31（第 2 のゲート電極）が電氣的に接続し、第 2 の TFT 30 のソース・ドレイン領域の一方は、共通給電線 com に電氣的に接続する一方、他方のソース

・ドレイン領域は発光素子40の一方の電極(後述する画素電極)に電気的に接続している。共通給電線comは定電位に保持されている。第2のTF T 30がオン状態になったときに、第2のTF T 30を介して共通給電線comの電流が発光素子40を流れ、発光素子40を発光させる。

このように構成した表示装置1において、駆動電流は、発光素子40、第2のTF T 30、および共通給電線comから構成される電流経路を流れるため、第2のTF T 30がオフ状態になると、流れなくなる。但し、本形態の表示装置1では、走査信号によって選択されて第1のTF T 20がオン状態になると、データ線sigから画像信号が第1のTF T 20を介して保持容量capに書き込まれる。従って、第2のTF T 30のゲート電極は、第1のTF T 20がオフ状態になっても、保持容量capによって画像信号に相当する電位に保持されるので、第2のTF T 30はオン状態のままである。それ故、発光素子40には駆動電流が流れ続け、この画素は点灯状態のままである。この状態は、新たな画像データが保持容量capに書き込まれて、第2のTF T 30がオフ状態になるまで維持される。

表示装置1において共通給電線com、画素7、およびデータ線sigについては各種の配列が可能であるが、本形態では、共通給電線comの両側に、該共通給電線comとの間で駆動電流の供給が行われる発光素子40を有する複数の画素7が配置され、これらの画素7に対して共通給電線comとは反対側を2本のデータ線sigが通っている。すなわち、データ線sig、それに接続する画素群、1本の共通給電線com、それに接続する画素群、および該画素群に画素信号を供給するデータ線sigを1つの単位としてそれを走査線gateの延設方向に繰り返してあり、共通給電線comは、1本で2列分の画素7に対して駆

動電流を供給する。そこで、本形態では、共通給電線 $c o m$ を挟むように配置された2つの画素7の間では、第1のTFT20、第2のTFT30、および発光素子40が当該共通給電線 $c o m$ を中心に線対称に配置され、これらの素子と各配線層との電氣的な接続を容易なものにしてある。

このように、本形態では、1本の共通給電線 $c o m$ で2列分の画素を駆動するので、1列の画素群ごとに共通給電線 $c o m$ を形成する場合と比較して、共通給電線 $c o m$ の数が1/2で済むとともに、同一の層間に形成される共通給電線 $c o m$ とデータ線 $s i g$ との間に確保していた隙間が不要である。それ故、透明基板10上において配線のための領域を狭くすることができるので、輝度、コントラスト比などの表示性能を向上させることができる。なお、このように1本の共通給電線 $c o m$ に2列分の画素が接続される構成としたため、データ線 $s i g$ は2本ずつ並列する状態にあって、それぞれの列の画素群に対して画像信号を供給することになる。

(画素の構成)

このように構成した表示装置1の各画素7の構造を、図3ないし図6を参照して詳述する。

図3は、本形態の表示装置1に形成されている複数の画素7のうちの3つの画素7を拡大して示す平面図、図4、図5、および図6はそれぞれは、そのA-A'線における断面図、B-B'線における断面図、およびC-C'線における断面図である。

まず、図3におけるA-A'線に相当する位置では、図4に示すように、透明基板10上には各画素7の各々に、第1のTFT20を形成するための島状のシリコン膜200が形成され、その表面にはゲート絶縁膜50が形成されている。ゲート絶縁膜50の表面にはゲート電極21

(走査線 *gate* の一部) が形成され、該ゲート電極 21 に対して自己整合的にソース・ドレイン領域 22、23 が形成されている。ゲート絶縁膜 50 の表面側には第 1 の層間絶縁膜 51 が形成され、この層間絶縁膜に形成されたコンタクトホール 61、62 を介して、ソース・ドレイン領域 22、23 にはデータ線 *sig*、および電位保持電極 *st* がそれぞれ電氣的に接続している。

各画素 7 には走査線 *gate* と並列するように、走査線 *gate* やゲート電極 21 と同一の層間 (ゲート絶縁膜 50 と第 1 の層間絶縁膜 51 との間) には容量線 *cline* が形成されており、この容量線 *cline* に対しては、第 1 の層間絶縁膜 51 を介して電位保持電極 *st* の延設部分 *st1* が重なっている。このため、容量線 *cline* と電位保持電極 *st* の延設部分 *st1* とは、第 1 の層間絶縁膜 51 を誘電体膜とする保持容量 *cap* を構成している。なお、電位保持電極 *st* およびデータ線 *sig* の表面側には第 2 の層間絶縁膜 52 が形成されている。

図 3 における B-B' 線に相当する位置では、図 5 に示すように、透明基板 10 上に形成された第 1 の層間絶縁膜 51 および第 2 の層間絶縁膜 52 の表面に各画素 7 に対応するデータ線 *sig* が 2 本、並列している状態にある。

図 3 における C-C' 線に相当する位置では、図 6 (A) に示すように、透明基板 10 上には共通給電線 *com* を挟む 2 つの画素 7 に跨がるように、第 2 の TFT 30 を形成するための島状のシリコン膜 300 が形成され、その表面にはゲート絶縁膜 50 が形成されている。ゲート絶縁膜 50 の表面には、共通給電線 *com* を挟むように、各画素 7 の各々にゲート電極 31 がそれぞれ形成され、このゲート電極 31 に対して自己整合的にソース・ドレイン領域 32、33 が形成されている。ゲート絶縁膜 50 の表面側には第 1 の層間絶縁膜 51 が形成され、この層間絶

縁膜に形成されたコンタクトホール63を介して、ソース・ドレイン領域62に中継電極35が電氣的に接続している。一方、シリコン膜300の中央の2つの画素7において共通のソース・ドレイン領域33となる部分に対しては、第1の層間絶縁膜51のコンタクトホール64を介して、共通給電線comが電氣的に接続している。これらの共通給電線com、および中継電極35の表面には第2の層間絶縁膜52が形成されている。第2の層間絶縁膜52の表面にはITO膜からなる画素電極41が形成されている。この画素電極41は、第2の層間絶縁膜52に形成されたコンタクトホール65を介して中継電極35に電氣的に接続し、この中継電極35を介して第2のTFT30のソース・ドレイン領域32に電氣的に接続されている。

(発光素子の特性)

発光素子40としては、いずれの構造のものを用いた場合でも本発明を適用できるので、その代表的なものを以下に説明する。

まず、前記のITO膜からなる画素電極41は、図7(A)に示すように、発光素子40の一方の電極(正極)を構成している。この画素電極41の表面には正孔注入層42および発光薄膜として有機半導体膜43が積層され、さらに有機半導体膜43の表面には、リチウム含有アルミニウムまたはカルシウムなどの金属膜からなる対向電極op(負極)が形成されている。この対向電極opは、透明基板10の全面、あるいはストライプ状に形成された共通電極となるべきもので、一定の電位に保持されている。これに対して、図7(A)に示す発光素子40とは逆の方向に駆動電流を流す場合には、図7(B)に示すように、下層側から上層側に向かって、ITO膜からなる画素電極41(負極)、透光性をもつほど薄いリチウム含有アルミニウム電極45、有機半導体層43、正孔注入層42、ITO膜層46、リチウム含有アルミニウムまたは

カルシウムなどの金属膜からなる対向電極 $o p$ (正極) をこの順に積層して、発光素子 40 を構成する場合もある。このように構成すると、図 7 (A)、(B) に示す各発光素子 40 においてそれぞれ逆極性の駆動電流が流れる場合でも、正孔注入層 42 および有機半導体層 43 が直接、接する電極層の構成が同一であるため、発光特性が同等である。これらの図 7 (A)、(B) に示した発光素子 40 は、いずれも下層側 (基板の側) に ITO 膜からなる画素電極 41 を有し、光は、矢印 $h \nu$ で示すように、画素電極 41 および透明基板 10 を透過して透明基板 10 の裏面側から射出される。

これに対して、図 8 (A)、(B) に示すように発光素子 40 を構成すると、光は、矢印 $h \nu$ で示すように、対向電極 $o p$ を透過して透明基板 10 の表面側に射出される。すなわち、図 8 (A) に示すように、リチウム含有アルミニウムなどの金属膜からなる画素電極 41 (負極) の表面には有機半導体膜 43 および正孔注入層 42 が積層され、さらに正孔注入層 42 の表面には ITO 膜からなる対向電極 $o p$ (正極) が形成されている。この対向電極 $o p$ も、全面に一枚板で、あるいはストライプ状に形成された共通電極で、一定の電位に保持されている。これに対して、図 8 (A) に示す発光素子とは逆の方向に駆動電流を流すには、図 8 (B) に示すように、下層側から上層側に向かって、リチウム含有アルミニウムなどの金属膜からなる画素電極 41 (正極)、ITO 膜層 46、正孔注入層 42、有機半導体層 43、透光性をもつほど薄いリチウム含有アルミニウム電極 45、ITO 膜からなる対向電極 $o p$ (負極) をこの順に積層して、発光素子 40 を構成する場合もある。

いずれの構造を有する発光素子 40 を形成するにあたって、正孔注入層 42 および有機半導体膜 43 は、後述するように、インクジェット法によりバンク層 $b a n k$ の内側に形成すれば、上下位置が反対でも製

造工程が複雑になることはない。また、透光性をもつほど薄いリチウム含有アルミニウム電極 4 5、および I T O 膜層 4 6 を追加する場合でも、リチウム含有アルミニウム電極 4 5 は画素電極 4 1 と同じ領域で積層している構造になっていても表示に支障がなく、I T O 膜層 4 6 も対向電極 o p と同じ領域で積層している構造になっていても表示に支障がない。それ故、リチウム含有アルミニウム電極 4 5 と画素電極 4 1 とはそれぞれ別々にパターニングしてもよいが、同じレジストマスクで一括してパターニングしてもよい。同様に、I T O 膜層 4 6 と対向電極 o p とはそれぞれ別々にパターニングしてもよいが、同じレジストマスクで一括してパターニングしてもよい。リチウム含有アルミニウム電極 4 5 および I T O 膜層 4 6 はバンク層 b a n k の内側領域のみに形成してもよいことは勿論である。

さらに、対向電極 o p の方を I T O 膜で形成し、画素電極 4 1 の方を金属膜で構成してもよい。いずれの場合でも透明な I T O 膜の方から光が射出されることになる。

このように構成された発光素子 4 0 は、対向電極 o p および画素電極 4 1 をそれぞれ正極および負極として電圧が印加され、図 9 (図 7 (A)、図 8 (B) に示す発光素子 4 0 の電流-電圧特性)、図 1 0 (図 7 (B)、図 8 (A) に示す発光素子 4 0 の電流-電圧特性) にそれぞれ示すように、印加電圧 (横軸/画素電極 4 1 に対する対向電極 o p の電位) がしきい値電圧を越えた領域でオン状態、すなわち、低抵抗状態になって有機半導体膜 4 3 に流れる電流 (駆動電流) が急激に増大する。その結果、発光素子 4 0 は、エレクトロルミネッセンス素子あるいは L E D 素子として発光し、発光素子 4 0 の射出光は、対向電極 o p に反射され、透明な画素電極 4 1 および透明基板 1 0 を通して射出される。それとは反対に、印加電圧 (横軸/画素電極 4 1 に対する対向電極 o p の

電位) がしきい値電圧を下回る領域ではオフ状態、すなわち、高抵抗状態になって有機半導体膜 4 3 に電流 (駆動電流) が流れず、発光素子 4 0 は消灯する。なお、図 9、図 1 0 に示す例ではそれぞれ + 2 V 付近、- 2 V 付近がしきい値電圧である。

ここで、発光効率はやや低下する傾向にあるものの、正孔注入層 4 2 を省略することもある。また、正孔注入層 4 2 を用いずに、有機半導体層 4 3 に対して正孔注入層 4 2 が形成されている位置とは反対側の位置に電子注入層を設ける場合もある。また、正孔注入層 4 2 および電子注入層の両方を設ける場合もある。

(T F T の特性)

このように構成した発光素子 4 0 での発光を制御するための T F T (図 2 における第 1 の T F T 2 0 および第 2 の T F T 3 0) として、N チャネル型、および P チャネル型の T F T の電流電圧特性を図 1 1 および図 1 2 (いずれの図においても、ドレイン電圧が 4 V、8 V の例を示してある。) に示す。これらの図からわかるように、T F T は、ゲート電極に印加するゲート電圧によってオン、オフ動作を行う。すなわち、ゲート電圧がしきい値電圧を越えると、T F T はオン状態 (低抵抗状態) になってドレイン電流が増大する。これに対して、ゲート電圧がしきい値電圧を下回ると、T F T はオフ状態 (高抵抗状態) になってドレイン電流が低減する。

(表示装置の製造方法)

このように構成した表示装置 1 の製造方法において、透明基板 1 0 上に第 1 の T F T 2 0 および第 2 の T F T 3 0 を製造するまでの工程は、液晶表示装置 1 のアクティブマトリクス基板を製造する工程と略同様であるため、簡単に図 1 3 を参照してその概要を説明する。

図 1 3 は、表示装置 1 の各構成部分を 6 0 0 ℃ 以下の温度条件下で形

成していく過程を模式的に示す工程断面図である。

すなわち、図13 (A) に示すように、透明基板10に対して、必要に応じて、TEOS (テトラエトキシシラン) や酸素ガスなどを原料ガスとしてプラズマCVD法により厚さが約2000~5000オングストロームのシリコン酸化膜からなる下地保護膜 (図示せず。) を形成する。次に基板の温度を約350℃に設定して、下地保護膜の表面にプラズマCVD法により厚さが約300~700オングストロームのアモルファスのシリコン膜からなる半導体膜100を形成する。次にアモルファスのシリコン膜からなる半導体膜100に対して、レーザアニールまたは固相成長法などの結晶化工程を行い、半導体膜100をポリシリコン膜に結晶化する。レーザアニール法では、たとえば、エキシマレーザでビーム形状の長寸が400mmのラインビームを用い、その出力強度はたとえば200mJ/cm² である。ラインビームについてはその短寸方向におけるレーザ強度のピーク値の90%に相当する部分が各領域毎に重なるようにラインビームを走査していく。

次に、図13 (B) に示すように、半導体膜100をパターニングして島状の半導体膜200、300とし、その表面に対して、TEOS (テトラエトキシシラン) や酸素ガスなどを原料ガスとしてプラズマCVD法により厚さが約600~1500オングストロームのシリコン酸化膜または窒化膜からなるゲート絶縁膜50を形成する。

次に、図13 (C) に示すように、アルミニウム、タンタル、モリブデン、チタン、タングステンなどの金属膜からなる導電膜をスパッタ法により形成した後、パターニングし、走査線gateの一部としてのゲート電極21、31を形成する。この工程では容量線clineも形成する。なお、図中、310はゲート電極31の延設部分である。

この状態で高濃度のリンイオンあるいはボロンイオンなどの不純物を

打ち込んで、シリコン薄膜 200、300 にはゲート電極 21、31 に対して自己整合的にソース・ドレイン領域 22、23、32、33 を形成する。なお、不純物が導入されなかった部分がチャネル領域 27、37 となる。本形態では、後述するように、同一の基板上に導電型の異なる T F T を製造する場合があるので、その場合には、不純物導入工程において逆導電型の T F T 形成領域をマスクで覆いながら不純物の導入をすすめていく。

次に、図 13 (D) に示すように、第 1 の層間絶縁膜 51 を形成した後、コンタクトホール 61、62、63、64、69 を形成し、データ線 *sig*、容量線 *cline* およびゲート電極 31 の延設部分 310 に重なる延設部分 *st* 1 を備える電位保持電極 *st*、共通給電線 *com*、および中継電極 35 を形成する。その結果、電位保持電極 *st* はコンタクトホール 69 および延設部分 310 を介してゲート電極 31 に電氣的に接続する。このようにして第 1 の T F T 20 および第 2 の T F T 30 を形成する。また、容量線 *cline* と電位保持電極 *st* の延設部分 *st* 1 とによって保持容量 *cap* が形成される。

次に、図 13 (E) に示すように、第 2 の層間絶縁膜 52 を形成し、この層間絶縁膜には、中継電極 35 に相当する部分にコンタクトホール 65 を形成する。次に、第 2 の層間絶縁膜 52 の表面全体に導電膜を形成した後、パターニングし、コンタクトホール 65 を介して第 2 の T F T 30 のソース・ドレイン領域 32 に電氣的に接続する画素電極 41 を形成する。

次に、図 13 (F) に示すように、第 2 の層間絶縁膜 52 の表面側に黒色のレジスト層を形成した後、このレジストを発光素子 40 の有機半導体膜 43、および正孔注入層 42 を形成すべき領域を囲むように残し、バンク層 *bank* を形成する。ここで、有機半導体膜 43 は、各画素

毎に独立して箱状に形成される場合、データ線 *sig* に沿ってストライプ状に形成される場合のいずれであっても、それに対応する形状にバンク層 *bank* を形成するだけで、本形態に係る製造方法を適用できる。

次に、バンク層 *bank* の内側領域に対してインクジェットヘッド *IJ* から、有機半導体膜 43 を構成するための液状の材料（前駆体）を吐出し、バンク層 *bank* の内側領域に有機半導体膜 43 を形成する。同様に、バンク層 *bank* の内側領域に対してインクジェットヘッド *IJ* から、正孔注入層 42 を構成するための液状の材料（前駆体）を吐出し、バンク層 *bank* の内側領域に正孔注入層 42 を形成する。なお、図 7 (A)、(B) および図 8 (A)、(B) を参照して発光素子 40 の構造を説明したように、その構造によっては、有機半導体膜 43 および正孔注入層 42 を形成していく順序が入れ替わることもある。

ここで、バンク層 *bank* はレジストから構成されているため、撥水性である。これに対して、有機半導体膜 43 や正孔注入層 42 の前駆体は親水性の溶媒を用いているため、有機半導体膜 43 の塗布領域はバンク層 *bank* によって確実に規定され、隣接する画素にはみ出ることがない。また、バンク層 *bank* を十分高く形成しておくと、インクジェット法を用いなくてもスピンコート法などといった塗布法を用いた場合でも、所定領域に有機半導体膜 43 や正孔注入層 42 を形成できる。

本形態では、有機半導体膜 43 や正孔注入層 42 をインクジェット法により形成する際の作業効率を高めるために、図 3 に示すように、走査線 *gate* の延設方向に沿って隣接するいずれの画素 7 間でも、前記有機半導体膜 43 の形成領域の中心のピッチ *P* を等しくしてある。従って、矢印 *Q* で示すように、走査線 *gate* の延設方向に沿って等間隔の位置にインクジェットヘッド *IJ* から有機半導体膜 43 の材料などを吐出すればよいという利点がある。また、等ピッチの移動でよいため、イン

クジェットヘッド I J の移動機構が簡易になり、かつ、インクジェットヘッド I J の打ち込み精度を上げることも容易となる。

しかる後には、図 13 (G) に示すように、透明基板 10 の表面側に対向電極 o p を形成する。ここで、対向電極 o p は全面またはストライプ状に形成されるが、対向電極 o p をストライプ状に形成する場合には、透明基板 10 の表面全体に導電膜を形成した後、それをストライプ状にパターニングする。

なお、図 1 に示すデータ側駆動回路 3 や走査側駆動回路 4 にも T F T が形成されるが、これらの T F T は前記の画素 7 に T F T を形成していく工程の全部あるいは一部を援用して行われる。それ故、駆動回路を構成する T F T も、画素 7 の T F T と同一の層間に形成されることになる。

本形態において、バンク層 b a n k は黒色で絶縁性のレジストから構成されているので、そのまま残し、ブラックマトリクス B M、および寄生容量を低減するための絶縁層として利用する。

すなわち、図 1 に示すように、透明基板 10 の周辺領域に対しても前記のバンク層 b a n k (形成領域に斜線を付してある。)を形成する。従って、データ側駆動回路 3 および走査側駆動回路 4 はいずれも、バンク層 b a n k によって覆われているため、これらの駆動回路の形成領域に対して対向電極 o p が重なる状態にあっても、駆動回路の配線層と対向電極 o p との間にバンク層 b a n k が介在することになる。それ故、駆動回路 3、4 に容量が寄生することを防止できるので、データ側駆動回路 3 の負荷を低減でき、低消費電力化あるいは表示動作の高速化を図ることができる。

また、本形態では、図 3 ないし図 5 に示すように、データ線 s i g に重なるようにバンク層 b a n k を形成してある。従って、データ線 s i

gと対向電極opとの間にバンク層bankが介在することになるので、データ線sigに容量が寄生することを防止できる。その結果、駆動回路の負荷を低減できるので、低消費電力化あるいは表示動作の高速化を図ることができる。

さらに、本形態では、図3、図4、および図6(A)に示すように、画素電極41と中継電極35とが重なる領域にもバンク層bankを形成するとよい。すなわち、図6(B)に示すように、画素電極51と中継電極35とが重なる領域にバンク層bankが形成されていない場合、たとえ画素電極と対向電極opとの間に駆動電流が流れて有機半導体膜43が発光しても、この光は中継電極35と対向電極opとに挟まれているため出射されず、表示に寄与しない。かかる表示に寄与しない部分で流れる駆動電流は、表示という面からみて無効電流といえる。しかるに本形態では、このような無効電流が流れるはずの部分にバンク層bankを形成し、そこに駆動電流が流れることを防止するので、共通給電線comに無駄な電流が流れることが防止できる。それ故、共通給電線comの幅はその分狭くてよい。

また、前記のように黒色のレジストで構成したバンク層bankを残しておく、バンク層bankはブラックマトリクスとして機能し、輝度、コントラスト比等の表示の品位が向上する。すなわち、本形態に係る表示装置1では、対向電極opが透明基板10の表面側の全面、あるいは広い領域にわたってストライプ状に形成されるため、対向電極opでの反射光がコントラスト比を低下させる。しかるに本形態では、有機半導体膜43の形成領域を規定しながら寄生容量を抑える機能を有するバンク層bankを黒色のレジストで構成したため、バンク層bankはブラックマトリクスとしても機能し、対向電極opからの無駄な反射光を遮るので、コントラスト比が高いという利点がある。また、バンク

層bankを利用して自己整合的に発光領域を規定することができるので、バンク層bankをブラックマトリクスとして用いずに別の金属層などをブラックマトリクスとして用いたときに問題となる発光領域とのアライメント余裕が不要である。

(アクティブマトリクス基板の別の構成)

なお、本発明は上記の構成に限らず、各種のアクティブマトリクス基板に適用できる。たとえば、図31を参照して説明したように、透明基板1の上において、1本のデータ線sig、1本の共通給電線com、1列の画素7を1つの単位として走査線gateの延設方向に繰り返した構成の表示装置1Aについても本発明を適用できる。

また、保持容量capについては、容量線を用いずに、共通給電線comと電位保持電極stとの間に構成してもよい。この場合には、図14(A)、(B)に示すように、電位保持電極stとゲート電極31とを電気的に接続させるためのゲート電極31の延設部分310を共通給電線comの下層側にまで拡張し、この延設部分310と共通給電線comとの間の位置する第1の層間絶縁膜51を誘電体膜とする保持容量capを構成する。

さらに、保持容量capについては、図示を省略するが、TFTを構成するためのポリシリコン膜を利用して構成してもよく、また、容量線や共通給電線に限らず、前段の走査線との間に構成することも可能である。

[実施の形態1]

図15は、本形態の表示装置1の画素構成を示す等価回路図である。図16(A)、(B)はそれぞれ、各画素に構成された各素子の電気的な接続状態を示す説明図、および駆動信号などの電位変化を示す波形図である。

図15、図16(A)、(B)に示すように、本形態では、第1のTFT20はNチャネル型である。従って、走査線gateから供給される走査信号Sgateが高電位になったときに、第1のTFT20がオン状態になって、データ線sigから第1のTFT20を介して保持容量capに画像信号dataが書き込まれ、走査線gateから供給される走査信号Sgateが低電位になっている間は、保持容量capに保持された画像信号dataによって第2のTFT30が駆動制御される。

本形態では、第2のTFT30もNチャネル型である。従って、データ線sigからは、点灯状態とすべき画素の保持容量capには高電位側の画像信号dataeが書き込まれ、消灯状態とすべき画素の保持容量capには低電位側の画像信号dateが書き込まれ、それに応じて、電位保持電極stの電位が変化する。

ここで、第2のTFT30のゲート電圧 V_{gcur} は、共通給電線comの電位、および画素電極30の電位のうちの低い方の電位と、電位保持電極stの電位との差に相当する。しかるに本形態では、発光素子40の対向電極opの電位に対して共通給電線comの電位を低くして、第2のTFT30がオン状態になったときには、矢印Fで示すように、発光素子40の方から共通給電線comの方に電流が流れるように構成してある。このため、第2のTFT30のゲート電圧 V_{gcur} は、共通給電線comの電位と電位保持電極stの電位との差に相当する。この共通給電線comの電位については、共通給電線comの電位と対向電極opの電位との間の電位に相当する画素電極30の電位と相違して、十分に低い値に設定することができる。従って、本形態では、第2のTFT30のゲート電圧 V_{gcur} を十分、高い値とすることができるため、第2のTFT30のオン電流が大きいので、高い輝度で表示を行うことができる。また、画素を点灯状態とする際に、第2のTFT30のゲ

ート電圧 V_{gcur} として高い値が得られるのであれば、その分、そのときの電位保持電極 s_t の電位、すなわち、画像信号 $data$ の高電位側の電位を下げるができるので、画像信号 $data$ の振幅を小さくし、表示装置 1 における駆動電圧を下げるができる。

なお、第 2 の TFT 30 のオン電流は、ゲート電圧 V_{gcur} に限らず、ドレイン電圧にも依存するが、上記の結論が変わることはない。

また、本形態では、第 2 の TFT 30 のオン電流が共通給電線 com の電位と電位保持電極 s_t の電位との差に規定され、対向電極 op の電位から直接的な影響を受けないので、画素を点灯状態とするための画像信号 $data$ の高電位側の電位を、対向電極 op の電位より低い電位にまで下げ、画像信号 $data$ の振幅を小さくして、表示装置 1 における駆動電圧の低電圧化を図っている。なお、画素を点灯状態とするための画像信号 $data$ の高電位側の電位を、対向電極 op と等電位にまで下げ、画像信号 $data$ の振幅を小さくしてもよい。

さらに、本形態では、消灯状態とすべき画素に対してデータ線 sig から供給される画像信号 $data$ の電位を、共通給電線 com の電位と比較してやや高電位側にしている。第 2 の TFT 30 は N チャネル型であるため、それを完全にターンオフさせるには、第 2 の TFT 30 のゲート電圧 V_{gcur} を負（共通給電線 com より低い電位）とすることになる。または、第 2 の TFT 30 のゲート電圧 V_{gcur} の絶対値が第 2 の TFT 30 のしきい値電圧の絶対値に相当するレベルよりやや低い電位となるように、画像信号 $data$ の低電位側の電位を高めに設定する。このときは、消灯状態にある画素 7 において第 2 の TFT 30 のゲート電圧を、第 2 の TFT 30 がオン状態となるとき極性と同じで、かつ、第 2 の TFT 30 のしきい値電圧を下回る値に設定する。この時、画像信号 $data$ の低電位側の電位を上記の通りに高めに設定した

場合でも、第2のTFT30は高抵抗状態にあって、オン電流が極めて小さいので、発光素子40は消灯にある。なお、消灯状態とすべき画素に対してデータ線sigから供給される画像信号dataの電位を、共通給電線comと等電位にして画像信号dataの振幅を小さくしてもよい。

このように画像信号dataの低電位側の電位を第2のTFT30のしきい値を越えない程度に高めに設定すると、画像信号dataの振幅を小さくできるので、画像信号dataの駆動電圧を下げることができる。しかも、前記のとおり、画素を点灯状態とするための画像信号dataの高電位側の電位を、対向電極opの電位より低い電位にまで下げているので、画像信号dataの電位は、対向電極opと共通給電線comとで規定されるレンジ内におさまる。それ故、表示装置1における駆動電圧を下げることができ、表示装置1の消費電力を下げるができる。また、このように構成しても、画質の低下、動作の異常、動作可能な周波数の低下を招くものではなく、表示装置1の駆動電圧が低い分、薄膜から構成した各素子で懸念されていた耐電圧（絶縁耐圧）の問題が顕在化しないという利点もある。

〔実施の形態1の変形例〕

図17は、本形態の表示装置1の画素構成を示す等価回路図である。図18(A)、(B)はそれぞれ、各画素に構成された各素子の電気的な接続状態を示す説明図、および駆動信号などの電位変化を示す波形図である。なお、本形態では、実施の形態1とは反対に、第1のTFT20および第2のTFT30のいずれをもPチャネル型のTFTで構成してある。但し、本形態は、実施の形態1と同一の技術的思想のもとで各素子を駆動制御することとし、実施の形態1で説明した駆動信号の極性を反転させてあるだけであり、その他の点については同様な構成を有す

るものであるため、構成については簡単に説明するだけとする。

図17、図18(A)、(B)に示すように、本形態では、第1のTFT20はPチャネル型であるため、走査線gateから供給される走査信号Sgateが低電位になったときに、第1のTFT20がオン状態になる。

本形態では、第2のTFT30もPチャネル型である。従って、データ線sigからは、点灯状態とすべき画素の保持容量capに低電位側の画像信号dateが書き込まれ、消灯状態とすべき画素の保持容量capには高電位側の画像信号dateが書き込まれる。

ここで、第2のTFT30のゲート電圧 V_{gcur} は、共通給電線comの電位、および画素電極30の電位のうちの高い方の電位と、電位保持電極stの電位との差に相当する。しかるに本形態では、発光素子40の対向電極opの電位に対して共通給電線comの電位を高くして、第2のTFT30がオン状態になったときには、矢印Eで示すように、共通給電線comの方から発光素子40の方に電流が流れるように構成してある。このため、第2のTFT30のゲート電圧 V_{gcur} は、共通給電線comの電位と電位保持電極stの電位との差に相当する。この共通給電線comの電位については、共通給電線comの電位と対向電極opの電位との間の電位に相当する画素電極30の電位と相違して、十分に高い値に設定することができる。従って、本形態では、第2のTFT30のゲート電圧 V_{gcur} を十分、高い値とすることができるため、第2のTFT30のオン電流が大きいので、高い輝度で表示を行うことができる。また、画素を点灯状態とする際に、第2のTFT30のゲート電圧 V_{gcur} として高い値が得られるのであれば、その分、そのときの電位保持電極stの電位、すなわち、画像信号dataの低電位側の電位を上げることができるので、画像信号dataの振幅を小さくで

きる。

また、本形態では、第2のTFT30のオン電流が対向電極opの電位から直接的には影響を受けないので、画素を点灯状態とするための画像信号dataの低電位側の電位を、対向電極opの電位よりやや高い電位まで上げ、画像信号dataの振幅を小さくしてある。なお、画素を点灯状態とするための画像信号dataの低電位側の電位を、対向電極opと等電位にまで上げ、画像信号dataの振幅を小さくしてもよい。

さらに、本形態では、消灯状態とすべき画素に対してデータ線sigから供給される画像信号dataの電位を、共通給電線comの電位と比較してやや低電位にまで下げてある。すなわち、第2のTFT30のゲート電圧V_{gcur}の絶対値がこのTFTのしきい値電圧の絶対値に相当するレベルよりやや低い電位となるように、画像信号dataの高電位側の電位を低めに設定してある。これにより、第2のTFT30ではオン電流が極めて小さくなり、発光素子40は消灯にある。なお、消灯状態とすべき画素に対してデータ線sigから供給される画像信号dataの電位を、共通給電線comと等電位にして画像信号dataの振幅を小さくしてもよい。

このように画像信号dataの低電位側の電位を高めに設定し、かつ、画素を点灯状態とするための画像信号dataの高電位側の電位を低めに設定してあるので、画像信号dataの電位は、対向電極opと共通給電線comとで規定されるレンジ内におさまる。それ故、表示装置1における駆動電圧を下げることができ、表示装置1の消費電力を下げるができるなど、実施の形態1と同様な効果を奏する。

[実施の形態2]

図19は、本形態の表示装置1の画素構成を示す等価回路図である。

図 20 (A)、(B) はそれぞれ、各画素に構成された各素子の電気的な接

続状態を示す説明図、および駆動信号などの電位変化を示す波形図である。

図 19、図 20 (A)、(B) に示すように、本形態では、第 1 の TFT 20 を N チャネル型の TFT で、第 2 の TFT 30 を P チャネル型の TFT で構成してある。第 2 の TFT 30 は P チャネル型であるため、データ線 *sig* からは、点灯状態とすべき画素の保持容量 *cap* には低電位側の画像信号 *data* が書き込まれ、消灯状態とすべき画素の保持容量 *cap* には高電位側の画像信号 *data* が書き込まれる。第 2 の TFT 30 のゲート電圧 V_{gcur} は、共通給電線 *com* の電位、および画素電極 30 の電位のうちの高い方の電位と、電位保持電極 *st* の電位との差に相当する。

本形態では、発光素子 40 の対向電極 *op* の電位に対して共通給電線 *com* の電位を高くして、第 2 の TFT 30 のゲート電圧 V_{gcur} は、共通給電線 *com* の電位と電位保持電極 *st* の電位との差に相当するように構成してある。この共通給電線 *com* の電位については、画素電極 41 と比較して十分に高い値に設定することができるので、第 2 の TFT 30 のオン電流が大きく、高い輝度で表示を行うことができる。また、その分、そのときの電位保持電極 *st* の電位、すなわち、画像信号 *data* の低電位側の電位を上げることができるので、画像信号 *data* の振幅を小さくできる。また、第 2 の TFT 30 のオン電流が対向電極 *op* の電位から直接的には影響を受けないので、画素を点灯状態とするための画像信号 *data* の低電位側の電位を、対向電極 *op* の電位より高い電位、あるいは等電位にまで上げ、画像信号 *data* の振幅を小さくしてある。さらに、本形態では、消灯状態とすべき画素に対してデータ線 *sig* から供給される画像信号 *data* の電位を、共通給電線 *co*

mの電位と比較してやや低電位、あるいは等電位にして画像信号dataの振幅を小さくしてある。それ故、画像信号dataの電位を、対向電極opと共通給電線comとで規定されるレンジ内におさめ、ひいては表示装置1における駆動電圧を下げてあるので、表示装置1の消費電力を下げる可以降低など、実施の形態1、あるいはその変形例と同様な効果を奏する。

本形態では、第1のTFT20はNチャネル型で、第2のTFT30と逆導電型であるため、画素を選択するときの走査線gateの電位（走査信号Sgate）は高電位である。このときの第1のTFT20のゲート電圧V_{gsw}は、走査信号Sgateの高電位にある電位と電位保持電極st（保持容量stの電位、第2のTFT30のゲート電極の電位）との電位差に相当する。ここで、第2のTFT30はPチャネル型であるため、画素7を点灯させるための画像信号dataは低電位側であり、画素7の選択期間中、電位保持電極stの電位は低下していく。従って、第1のTFT20のゲート電圧V_{gsw}は、オン電流が増大する方にシフトしていく。

一方、第2のTFT30のゲート電圧V_{gcur}は、共通給電線comと電位保持電極stとの電位差に相当し、選択した画素7が点灯状態にあるときには、選択期間中、電位保持電極stの電位は低下する傾向にあるため、第2のTFT30のゲート電圧V_{gcur}は、オン電流が増大する方にシフトしていく。

このように、本形態では、第1のTFT20と第2のTFT30とが逆導電型であるため、第1のTFT20の書き込み能力を上げるためには走査信号Sgateの選択パルス高を高くし、発光素子40の輝度を上げるために第2のTFT30のオン抵抗を下げるべく画像信号dataを低くすることになる。このような走査信号Sgateの選択パルス高と画像

信号 *data* とに対する最適化は、画素 7 の選択期間中、発光素子 40 を点灯させるレベルの画像信号 *data* が保持容量 *cap* に書き込まれていくにつれて、第 1 の TFT 20 のゲート電圧に対して、当該 TFT のオン電流が増大する方にシフトさせるのに効く。それ故、データ線 *sig* から第 1 の TFT 20 を介して保持容量 *cap* に画像信号 *data* がスムーズに書き込まれる。ここで、画素 7 を選択する際の第 1 の TFT 20 のゲート電圧 V_{gsw} は、走査信号 *Sgate* の高電位に相当する電位と電位保持電極 *st* の電位（保持容量 *cap* の電位、または第 2 の TFT 30 のゲート電極の電位）との差に相当し、第 2 の TFT 30 のゲート電圧 V_{gcur} は、共通給電線 *com* の電位と電位保持電極 *st* の電位との差に相当し、電位保持電極 *st* の電位を基準にしたときには、走査信号 *Sgate* の高電位に相当する電位と共通給電線 *com* の電位は同じ極性である。従って、電位保持電極 *st* の電位を変更すれば、その分、第 1 の TFT 20 のゲート電圧 V_{gsw} および第 2 の TFT 30 のゲート電圧 V_{gcur} の双方が同じ方向に同じ分だけシフトする。それ故、表示装置 1 の駆動電圧レンジの範囲内で、点灯のための画像信号 *data* の電位を、第 1 の TFT 20 のオン時の抵抗が小さくなる方向に変更すれば、表示動作の高速化を図ることができるとともに、このときには第 2 の TFT 30 のオン時の抵抗が小さくなる方向に点灯のための画像信号 *data* の電位が変更したことになるので、輝度の向上を図ることができる。よって、駆動電圧の低電圧化と表示品位の向上とを併せて達成することができる。

[実施の形態 2 の変形例]

図 21 は、本形態の表示装置 1 の画素構成を示す等価回路図である。図 22 (A)、(B) はそれぞれ、各画素に構成された各素子の電気的な接続状態を示す説明図、および駆動信号などの電位変化を示す波形図

である。なお、本形態では、実施の形態 2 とは反対に、第 1 の TFT 20 を P チャンネル型とし、第 2 の TFT 30 を N チャンネル型の TFT で構成してある。但し、本形態は、実施の形態 2 と同一の技術的思想のもとで各素子を駆動制御することとし、実施の形態 2 で説明した駆動信号の極性を反転させ

てあるだけであるため、その構成を簡単に説明するに止める。

図 21、図 22 (A)、(B) に示すように、本形態では、実施の形態 1 と同様、第 2 の TFT 30 は N チャンネル型であるため、データ線 sig からは、点灯状態とすべき画素の保持容量 cap には高電位側の画像信号 $date$ が書き込まれ、消灯状態とすべき画素の保持容量 cap には低電位側の画像信号 $date$ が書き込まれる。ここで、第 2 の TFT 30 のゲート電圧 V_{gcur} は、共通給電線 com の電位、および画素電極 30 の電位のうちの低い方の電位と、電位保持電極 st の電位との差に相当する。しかるに本形態では、発光素子 40 の対向電極 op の電位に対して共通給電線 com の電位を低くしてあるため、第 2 の TFT 30 のゲート電圧 V_{gcur} は、共通給電線 com の電位と電位保持電極 st の電位との差に相当する。この共通給電線 com の電位については十分に低く電位とすることができるので、第 2 の TFT 30 のオン電流が大きく、高い輝度で表示を行うことができる。または、輝度が高い分、そのときの電位保持電極 st の電位、すなわち、画像信号 $data$ の高電位側の電位を上げて、画像信号 $data$ の振幅を小さくできる。また、第 2 の TFT 30 のオン電流が対向電極 op の電位から直接的には影響を受けないので、画素を点灯状態とするための画像信号 $data$ の高電位側の電位を、対向電極 op の電位より低い電位、あるいは等電位にまで下げ、画像信号 $data$ の振幅を小さくしてある。さらに、本形態では、消灯状態とすべき画素に対してデータ線 sig から供給される

画像信号 *data* の電位を、共通給電線 *com* の電位と比較してやや高電位、あるいは等電位にして画像信号 *data* の振幅を小さくしてある。それ故、画像信号 *data* の電位を、対向電極 *op* と共通給電線 *com* とで規定されるレンジ内におさめ、表示装置 1 における駆動電圧を下げてあるので、表示装置 1 の消費電力を下げる事ができるなど、実施の形態 1、あるいはその変形例と同様な効果を奏する。

本形態では第 1 の TFT 20 は P チャンネル型で、第 2 の TFT 30 と逆導電型であるため、画素を選択するときの走査線 *gate* の電位（走査信号 *S gate*）は低電位である。これに対して、第 2 の TFT 30 は N チャンネル型であるため、画素 7 を点灯させるための画像信号 *data* は高電位側である。

このように、本形態では、第 1 の TFT 20 と第 2 の TFT 30 とが逆導電型であるため、第 1 の TFT 20 の書き込み能力を上げるためには走査信号 *S gate* の選択パルスの電位を低くし、発光素子 40 の輝度を上げるために第 2 の TFT 30 のオン抵抗を下げるべく画像信号 *data* の電位を低くすることになる。このような走査信号 *S gate* の選択パルス高と画像信号 *data* とに対する最適化は、画素 7 の選択期間中、発光素子 40 を点灯させるレベルの画像信号 *data* が保持容量 *cap* に書き込まれていくにつれて、第 1 の TFT 20 のゲート電圧に対して、当該 TFT のオン電流が増大する方にシフトさせるのに効く。従って、電位保持電極 *st* の電位を基準にしたときには、走査信号 *S gate* の低電位に相当する電位と共通給電線 *com* の電位は同じ極性であるため、電位保持電極 *st* の電位を変更すれば、その分、第 1 の TFT 20 のゲート電圧 V_{gsw} および第 2 の TFT 30 のゲート電圧 V_{gcur} の双方が同じ方向に同じ分だけシフトする。それ故、表示装置 1 の駆動電圧レンジの範囲内で、点灯のための画像信号 *data* の電位を、第 1 の TFT 2

0のオン時の抵抗が小さくなる方向に変更すれば、表示動作の高速化を図ることができる。このときには第2のTFT30のオン時の抵抗が小さくなる方向に点灯のための画像信号dataの電位を変更したことになるので、輝度の向上を図ることもできる。よって、実施の形態2と同様、駆動電圧の低電圧化と表示品位の向上とを併せて達成することができる。

尚、上述の実施の形態2及び実施の形態2の変形例において、最適な駆動方法について図25を用いて説明する。

実施の形態2においては、第1のTFTはNチャネル型であり、第2のTFTはPチャネル型である。図25に示されるように、発光素子40を消灯させる際には、画像信号dataの電位を共通給電線comの電位よりも高くしてPチャネル型の第2のTFT30をターンオフさせているが、本形態では、図25に示すように、発光素子40を消灯させる場合でも、第2のTFT30を完全にターンオフさせない。すなわち、本形態では、第2のTFT30がPチャネル型であるため、それを完全にターンオフさせるには、ゲート電圧 V_{gcur} を0V（共通給電線comと同電位）、あるいは正の電位（共通給電線comより高い電位）とすることになるが、本形態では、第2のTFT30のゲート電圧 V_{gcur} がこのTFTのしきい値電圧 $V_{thp(cur)}$ に相当するレベルよりやや高い電位となるように、画像信号dataの消灯時の電位を低めに設定してある。従って、消灯状態にある画素7において第2のTFT30に印加されるゲート電圧は、第2のTFT30がオン状態となるときに極性と同じであるが、第2のTFT30のしきい値電圧（ $V_{thp(cur)}$ ）を上回るような値である。例えば、第2のTFT30のしきい値電圧（ $V_{thp(cur)}$ ）を-4Vとしたとき、消灯状態で第2のTFT30に印加されるゲート電圧は-3Vとする。

このように第1のTFTがN型、第2のTFTがP型の場合、画像信号dataの消灯側の電位を従来より低めに設定すると、画像信号dataの振幅を小さくできるので、画像信号dataの低電圧化および高周波化を図ることができる。また、このように画像信号dataの消灯側の電位を低めに設定した場合でも、Pチャネル型の第2のTFT30では、しきい値電圧 $V_{thp}(cur)$ に相当するレベルよりやや高めの電位であるので、消灯時に流れる電流は極めて小さい。また、発光素子40にかかる電圧が低ければ、極めて小さい駆動電流しか流れ込まない。それ故、発光素子40を消灯させるのに実質上、問題点がない。

また、本形態では、画像信号dataの消灯時の電位が共通給電線comの電位を越える必要がなければ、共通給電線comの電位を比較的高めに設定できる。そこで、本形態では、共通給電線comの電位を、第1のTFT20をオン状態にするときの走査信号Sgateの電位と等しくしてある。それ故、走査側駆動回路において、走査信号Sgateの高電位として用いた信号レベルをそのまま共通給電線comに供給すればよいので、本形態の表示装置1では、使用する駆動信号のレベルの数が少なく済み、表示装置1に駆動信号を入力するための端子数を減らすことができる。また、電源数を減らすことができるため、電源回路の低消費電力化、省スペース化を図ることができる。

この場合には、第1のTFT20がNチャネル型で、第2のTFT30がPチャネル型なので、消灯状態にある画素7の第2のTFT30に印加されるゲート電極の電位は、第1のTFT20をオン状態にするときの走査信号gateの電位から当該第1のTFT20のしきい値電圧 $V_{thn}(sw)$ を差し引いた電位よりも低電位にする。すなわち、画素7を消灯状態にするときの画像信号data（電位保持電極stの電位）と共通給電線comとの電位差 V_{off} の絶対値を下式

$$V_{thn}(sw) < |V_{off}|$$

に示すように、第1のTFT20のしきい値電圧 $V_{thn}(sw)$ よりも大きく設定し、画素7を選択する際の第1のTFT20の書き込み動作に支障が発生することを防止すればよい。

なお、実施の形態2の変形例の第1のTFT20がPチャネル型で、第2のTFT30がNチャネル型の場合には、図2.6および図27(A)、(B)を参照して後述するように、本形態で説明した各信号の相対的な高低を入れ換えて、第1のTFT20や第2のTFT30に印加される電圧の極性を反転させることになる。この場合でも、本形態のように、発光素子40を消灯させる際に第2のTFT30を完全にターンオフさせなければ、画像信号dataの低電圧化および高周波化を図ることができる。また、共通給電線comの電位を、第1のTFT20をオン状態にするときの走査信号Sgateの電位と等しくすることにより、電源数を減らすことができる。この場合には、画素7を選択する際の第1のTFT20の書き込み動作に支障がないように、消灯状態にある画素7の第2のTFT30に印加されるゲート電極の電位は、第1のTFT20をオン状態にするときの走査信号gateの電位に当該第1のTFT20のしきい値電圧 $V_{thn}(sw)$ を加えた電位よりも高電位にする。

[実施の形態3]

本形態は、図23にその等価回路を示すように、実施の形態2と同様、いずれの画素7においても第1のTFT20をNチャネル型とし、第2のTFT30をPチャネル型とした構成の一例である。また、本形態に係る表示装置1でも、第2のTFT30がPチャネル型なので、発光素子40の対向電極opの電位に対して共通給電線comの電位を高くしてある。従って、第2のTFT30がオン状態になったときには、矢印Eで示すように、共通給電線comの方から発光素子40の方に電流

が流れる。尚、実施の形態 2 と同様であるため、共通する点については説明を省略し、異なる点についてのみ記載する。実施の形態 2 では保持容量が設けられていたが、本実施の形態では、保持容量 $c a p$ が無い点で異なる。このような構成とすることにより、出に保持電極 $s t$ の電位の変化を大きくすることができる。

なお、第 1 の T F T 2 0 が P チャンネル型で、第 2 の T F T 3 0 が N チャンネル型の場合には、図 2 6 および図 2 7 (A)、(B) を参照して後述するように、本形態で説明した各信号の相対的な高低を入れ換えて、第 1 の T F T 2 0 や第 2 の T F T 3 0 に印加される電圧の極性を反転させることになる。この場合でも、第 1 の T F T 2 0 の書き込み能力を上げるために走査信号の選択パルスの電位を低くし、第 2 の T F T 3 0 のオン抵抗を下げて発光輝度を上げるためには画像信号の電位を高くすることになる。

[実施の形態 3 の変形例]

なお、上記実施の形態 3 では、いずれの画素 7 においても、第 1 の T F T 2 0 が N チャンネル型で、第 2 の T F T 3 0 が P チャンネル型の場合を説明したが、図 2 6 に等価回路を示すように、第 1 の T F T 2 0 が P チャンネル型で、第 2 の T F T 3 0 が N チャンネル型として構成してもよい。この図に示す例では、発光素子 4 0 の対向電極 $o p$ の電位に対して共通給電線 $c o m$ の電位を低くして、第 2 の T F T 3 0 がオン状態になったときには、矢印 F で示すように、発光素子 4 0 の対向電極 $o p$ の方から共通給電線 $c o m$ の方に電流が流れるように構成してある。

このように画素 7 を構成した場合には、図 2 7 (A)、(B) に示すように、図 2 4 (A) に示した波形の各駆動信号の極性を反転させることになる。

なお、実施の形態 3 においては、第 1 の T F T 2 0 が N チャンネル型で

、第2のTFT30がPチャネル型のときには、発光素子40の対向電極opの電位に対して共通給電線comの電位を低くして、第2のTFT30がオン状態になったときは、発光素子40の対向電極opの方から共通給電線comの方に電流が流れるように構成する場合もあり、このように構成した場合でも、第1のTFT20および第2のTFT30を逆導電型にしたことの効果については得ることができる。それとは逆に、第1のTFT20がPチャネル型で、第2のTFT30がNチャネル型のときには、発光素子40の対向電極opの電位に対して共通給電線comの電位を高くして、第2のTFT30がオン状態になったときは、共通給電線comの方から発光素子40の方に電流が流れるように構成した場合も、第1のTFT20および第2のTFT30を逆導電型にしたことの効果については得ることができる。

[実施の形態4]

上記のいずれの形態1、2、3においても、図28(A)、(B)を参照して説明するように、保持容量capの両電極のうち、第2のTFT30のゲート電極に電気的に接続する電極とは反対側の電極には、走査信号gateの選択パルスより遅延して該選択パルスとは電位が逆方向に振れるパルスが供給されるように構成してもよい。

ここに示す例では、図28(A)に示すように、保持容量capの両電極のうち、第2のTFT30のゲート電極に電位保持電極stを介して電気的に接続する電極とは反対側の電極が、走査線gateと並列するように延設された容量線clineで構成されている。

この容量線clineには、図28(B)に示すように、走査信号Sgateの選択パルスPgateより遅延して該選択パルスPgateとは電位が逆方向に振れるパルス信号Pstgを含む電位stgが供給されるように構成されている。

パルス信号 P_{stg} は、該選択パルス P_{gate} が非選択状態になった後、保持容量 c_{ap} の容量結合を利用して画像信号 d_{ata} の電位をシフトさせる。このため、画素 7 が消灯状態の保持容量 c_{ap} には画像信号 d_{ata} の電位にパルス信号 P_{stg} の電位を加算した分の信号が保持される。画像信号 d_{ata} の高電位側の信号は第 1 の TFT 20 のオン抵抗が大きいため、書き込みを限られた時間で十分に行うは難しい。この例では、書き込みが十分でない場合、点灯できないことになる。しかし、本形態の実施例を用いることにより、保持容量 c_{ap} への画像信号 d_{ata} の書き込みを補うことができる。それでいて、駆動信号の電位の最大レンジが広がることがない。

このようにして、容量線 c_{line} にパルス信号 P_{stg} をのせるにあたっては、図 29 に示すように、容量線 c_{line} を走査側駆動回路 4 から引き出すとともに、走査側駆動回路 4 においては、いずれのゲート段にもシフトレジスタ 401 からの出力信号を NAND ゲート回路およびインバータを介して走査線 g_{ate} に走査信号 S_{gate} として出力する一方、シフトレジスタ 401 からの出力信号を NAND ゲート回路および 2 段のインバータを介して遅延させながら、図 30 に示すように、高電位側の電源レベルを V_{dd} から電位 V_{ccy} にレベルシフトして容量線 c_{line} に出力すればよい。

上述の実施の形態及びそれらの変形例においては、保持容量を付加する場合は、容量線 c_{line} を設けたタイプの発光素子について説明した。しかしながら、本実施の形態はこのような容量線 c_{line} を設ける構成に限るものではなく、保持容量の一方の電極を隣接するゲート線により構成にしてもよい。かかる構成の一例を図 34 (A) に回路ブロック図を、ゲート線の走査方向に対するゲート電極の電圧波形を図 34 (B) にそれぞれ示す。このように、当該画素に対して、隣接するゲ-

ト線を保持容量の一方の電極として構成することにより、容量線 c l i n e をわざわざ設ける必要がないという効果を有するものである。

[その他の実施の形態]

上記のいずれの形態についても、第2のTFT30の電流-電圧特性のいずれの領域で動作させるかについて記載しなかったが、第2のTFT30をその飽和領域で動作させれば、TFTの弱い定電流特性を利用して発光素子40に異常電流が流れることを防止することができる。例えば、発光素子40を構成する有機半導体膜等にピンホール欠陥が生じていることがあるが、その場合でも、欠陥のある発光素子に流れる電流は制限され、発光素子40の電極間で完全ショートになることがない。

これに対して、第2のTFT30をその線形領域で動作させれば、そのしきい値電圧のばらつきが表示動作に影響を及ぼすことを防止することができる。

なお、TFTの構造についても、トップゲート型に限らず、ボトムゲート型でもよく、その製造方法に関しても低温プロセスに限定されるものではない。

発明の利用可能性

以上説明したように、本発明の請求項第1項から第7項に係る表示装置では、第2のTFTのオン時のゲート電圧は、共通給電線の電位および画素電極の電位のうちの一方の電位と、ゲート電極の電位（画像信号の電位）との差に相当するので、第2のTFTの導電型に応じて、共通給電線の電位と発光素子の対向電極の電位との相対的な高低を設定し、第2のTFTのゲート電圧は、共通給電線の電位と電位保持電極の電位との差に相当するように構成してある。たとえば、第2のTFTがNチャンネル型であれば、発光素子の対向電極の電位に対して共通給電線の電

位を低くしてある。この共通給電線の電位については、画素電極の電位と相違して、十分に低い値に設定することができるため、第2のTFTで大きなオン電流が得られ、高い輝度で表示を行うことができる。また、画素を点灯状態とする際に、第2のTFTのとして高いゲート電圧が得られるのであれば、その分、そのときの画像信号の電位を下げることで、画像信号の振幅を小さくし、表示装置における駆動電圧を下げるることができる。それ故、消費電力を低減できるとともに、薄膜で構成された各素子で懸念されていた耐電圧の問題が顕在化しないという利点がある。

また、本発明の請求項第7項から第11項に係る表示装置では、第1のTFTと第2のTFTとが逆導電型であるため、画素を選択するための走査信号のパルスと、発光素子を点灯させるための画像信号の電位とは逆にふれる関係にある。従って、点灯時の電位保持電極の電位（点灯のための画像信号の電位）を基準にしたときには、走査信号の高電位に相当する電位と共通給電線の電位は同じ極性であるため、点灯時の電位保持電極の電位（点灯のための画像信号の電位）を変更すれば、その分、第1のTFTのゲート電圧および第2のTFTのゲート電圧の双方が同じ方向に同じ分だけシフトする。それ故、表示装置の駆動電圧レンジの範囲内で、点灯のための画像信号の電位を、第1のTFTのオン時の抵抗が小さくなる方向にシフトさせれば、表示動作の高速化を図ることができるとともに、このときには第2のTFTのオン時の抵抗が小さくなる方向に点灯のための画像信号の電位がシフトしたことになるので、輝度の向上を図ることができる。よって、駆動電圧の低電圧化と表示品位の向上とを併せて達成することができる。

さらに、本発明の請求項第11項または第12項に係る表示装置では、保持容量の両電極のうち、第2のTFTの第2のゲート電極に電氣的

に接続する電極とは反対側の電極には、走査信号の選択パルスより遅延して該選択パルスとは電位が逆方向に振れるパルスが供給されるので、保持容量への画像信号の書き込みを補うことができる。それ故、画像信号の振幅を大きくせずに、第2のTFTのゲート電極に印加される画像信号の電位を高輝度化の方向にシフトさせることができる。

請求の範囲

1. 基板上に、複数の走査線と、該複数の走査線に交差する複数のデータ線と、複数の共通給電線と、前記データ線と前記走査線とによりマトリクス状に形成された画素とを有し、該画素の各々には、前記走査線を介して走査信号が第1のゲート電極に供給される第1の薄膜トランジスタと、該第1の薄膜トランジスタを介して前記データ線から供給される画像信号を保持する保持容量と、該保持容量によって保持された前記画像信号が第2のゲート電極に供給される第2の薄膜トランジスタと、前記画素毎に形成された画素電極と該画素電極に対向する対向電極との間において前記画素電極が第2の薄膜トランジスタを介して前記共通給電線に電氣的に接続した時に前記画素電極と前記対向電極との間に流れる駆動電流によって発光する発光素子とを備える表示装置において、

前記第2の薄膜トランジスタはNチャネル型であり、前記共通給電線は前記対向電極よりも低電位に設定されていることを特徴とする表示装置。

2. 基板上に、複数の走査線と、該走査線に交差する複数のデータ線と、複数の共通給電線と、前記データ線と前記走査線とによりマトリクス状に形成された画素とを有し、該画素の各々には、前記走査線を介して走査信号が第1のゲート電極に供給される第1の薄膜トランジスタと、該第1の薄膜トランジスタを介して前記データ線から供給される画像信号を保持する保持容量と、該保持容量によって保持された前記画像信号が第2のゲート電極に供給される第2の薄膜トランジスタと、前記画素毎に形成された画素電極と該画素電極に対向する対向電極との間において前記画素電極が前記第2の薄膜トランジスタを介して前記共通給電

線に電氣的に接続したときに前記画素電極と前記対向電極との間に流れる駆動電流によって発光する発光薄膜を具備する発光素子とを備える表示装置において、

前記第 2 の薄膜トランジスタは P チャネル型であり、前記共通給電線は前記対向電極よりも高電位に設定されていることを特徴とする表示装置。

3. 請求の範囲第 1 項において、点灯状態とすべき画素に対して前記データ線から供給される画像信号の電位は、前記対向電極の電位と比較して低電位、あるいは等電位であることを特徴とする表示装置。

4. 請求の範囲第 2 項において、点灯状態とすべき画素に対して前記データ線から供給される画像信号の電位は、前記対向電極の電位と比較して高電位、あるいは等電位であることを特徴とする表示装置。

5. 請求の範囲第 1 項または第 3 項において、消灯状態とすべき画素に対して前記データ線から供給される画像信号の電位は、前記共通給電線の電位と比較して高電位、あるいは等電位であることを特徴とする表示装置。

6. 請求の範囲第 2 項または第 4 項において、消灯状態とすべき画素に対して前記データ線から供給される画像信号の電位は、前記共通給電線の電位と比較して低電位、あるいは等電位であることを特徴とする表示装置。

7. 請求の範囲第 1 項ないし第 6 項のいずれかにおいて、前記第 1 の薄膜トランジスタと前記第 2 の薄膜トランジスタとは、逆導電型の薄膜トランジスタで構成されていることを特徴とする表示装置。

8. 基板上に、複数の走査線と、該走査線に交差する複数のデータ線と、複数の共通給電線と、前記データ線と前記走査線とによりマトリクス状に形成された画素とを有し、該画素の各々には、前記走査線を介し

て走査信号が第1のゲート電極に供給される第1の薄膜トランジスタと、該第1の薄膜トランジスタを介して前記データ線から供給される画像信号を保持する保持容量と、該保持容量によって保持された前記画像信号が第2のゲート電極に供給される第2の薄膜トランジスタと、前記画素毎に形成された画素電極と該画素電極に対向する対向電極との層間において前記画素電極が前記第2の薄膜トランジスタを介して前記共通給電線に電氣的に接続したときに前記画素電極と前記対向電極との間に流れる駆動電流によって発光する発光薄膜を具備する発光素子とを備える表示装置において、

前記第1の薄膜トランジスタと前記第2の薄膜トランジスタとは、互いに逆導電型の薄膜トランジスタで構成されていることを特徴とする表示装置。

9. 請求の範囲第8項において、消灯状態にある画素における前記第2の薄膜トランジスタに印加されるゲート電圧は、該第2の薄膜トランジスタがオン状態となるとき極性と同一で、かつ、該第2の薄膜トランジスタのしきい値電圧を越えない値であることを特徴とする表示装置。

10. 請求の範囲第9項において、前記第1の薄膜トランジスタはNチャンネル型、前記第2の薄膜トランジスタはPチャンネル型であって、

前記第1の薄膜トランジスタをオン状態の走査信号の電位と前記共通給電線の電位とが等しく、かつ、

消灯状態にある画素の前記第2の薄膜トランジスタに印加されるゲート電極の電位は、前記第1の薄膜トランジスタをオン状態にするときの走査信号の電位から当該第1の薄膜トランジスタのしきい値電圧を差し引いた電位よりも低電位であることを特徴とする表示装置。

11. 請求の範囲第9項において、前記第1の薄膜トランジスタはPチャネル型、前記第2の薄膜トランジスタはNチャネル型であって、

前記第1の薄膜トランジスタをオン状態にするときの走査信号の電位と前記共通給電線の電位とが等しく、かつ、

消灯状態にある画素の前記第2の薄膜トランジスタに印加されるゲート電極の電位は、前記第1の薄膜トランジスタをオン状態にするときの走査信号の電位に当該第1の薄膜トランジスタのしきい値電圧を加えた電位よりも高電位であることを特徴とする表示装置。

12. 請求の範囲第1項ないし第11項のいずれかにおいて、前記保持容量の両電極のうち、前記第2の薄膜トランジスタの前記第2のゲート電極に電氣的に接続する電極とは反対側の電極には、前記走査信号の選択パルスより遅延して該選択パルスとは電位が逆方向に振れるパルスが供給されるように構成されていることを特徴とする表示装置。

13. 基板上に、複数の走査線と、該走査線に交差する複数のデータ線と、複数の共通給電線と、前記データ線と前記走査線とによりマトリクス状に形成された画素とを有し、該画素の各々には、前記走査線を介して走査信号が第1のゲート電極に供給される第1の薄膜トランジスタと、該第1の薄膜トランジスタを介して前記データ線から供給される画像信号を保持する保持容量と、該保持容量によって保持された前記画像信号が第2のゲート電極に供給される第2の薄膜トランジスタと、前記画素毎に形成された画素電極と該画素電極に対向する対向電極との層間において前記画素電極が前記第2の薄膜トランジスタを介して前記共通給電線に電氣的に接続したときに前記画素電極と前記対向電極との間に流れる駆動電流によって発光する発光薄膜を具備する発光素子とを備える表示装置において、

前記保持容量の両電極のうち、前記第2の薄膜トランジスタのゲート

電極に電氣的に接続する電極とは反対側の電極には、前記走査信号の選択パルスより遅延して該選択パルスとは電位が逆方向に振れるパルスを供給することを特徴とする表示装置。

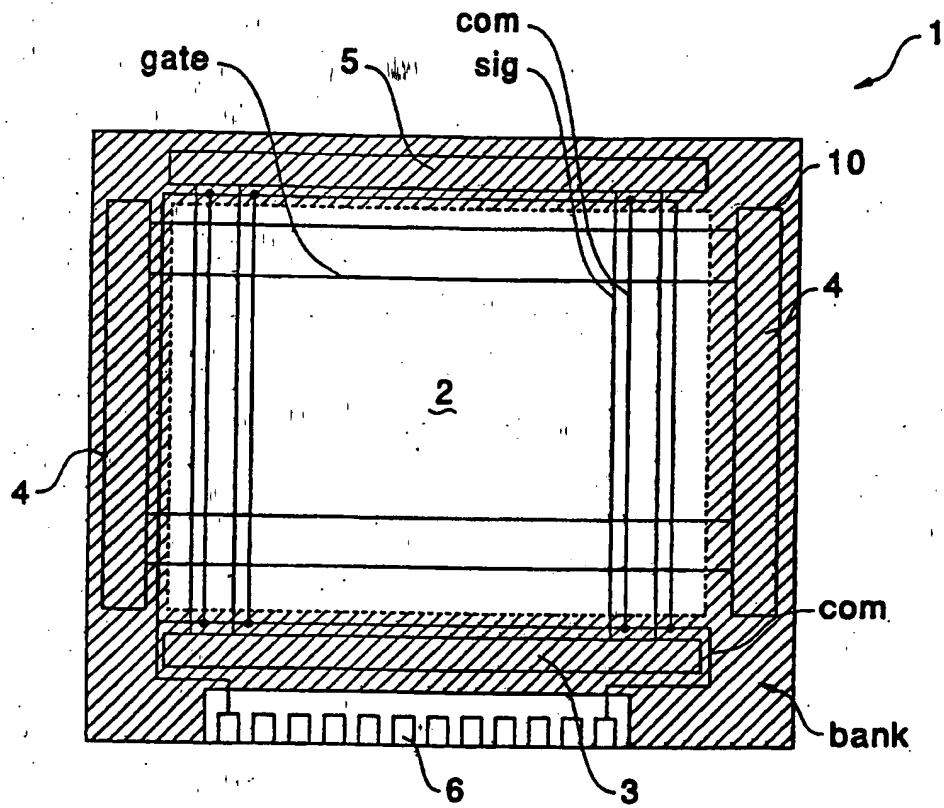
14. 請求の範囲第1項ないし第13項のいずれかにおいて、前記発光薄膜が有機半導体膜であることを特徴とする表示装置。

15. 請求の範囲第1項ないし第14項のいずれかにおいて、前記第2の薄膜トランジスタは飽和領域で動作するように構成されていることを特徴とする表示装置。

16. 請求の範囲第1項ないし第14項のいずれかにおいて、前記第2の薄膜トランジスタは線形領域で動作するように構成されていることを特徴とする表示装置。

1/31

1



2/31

2

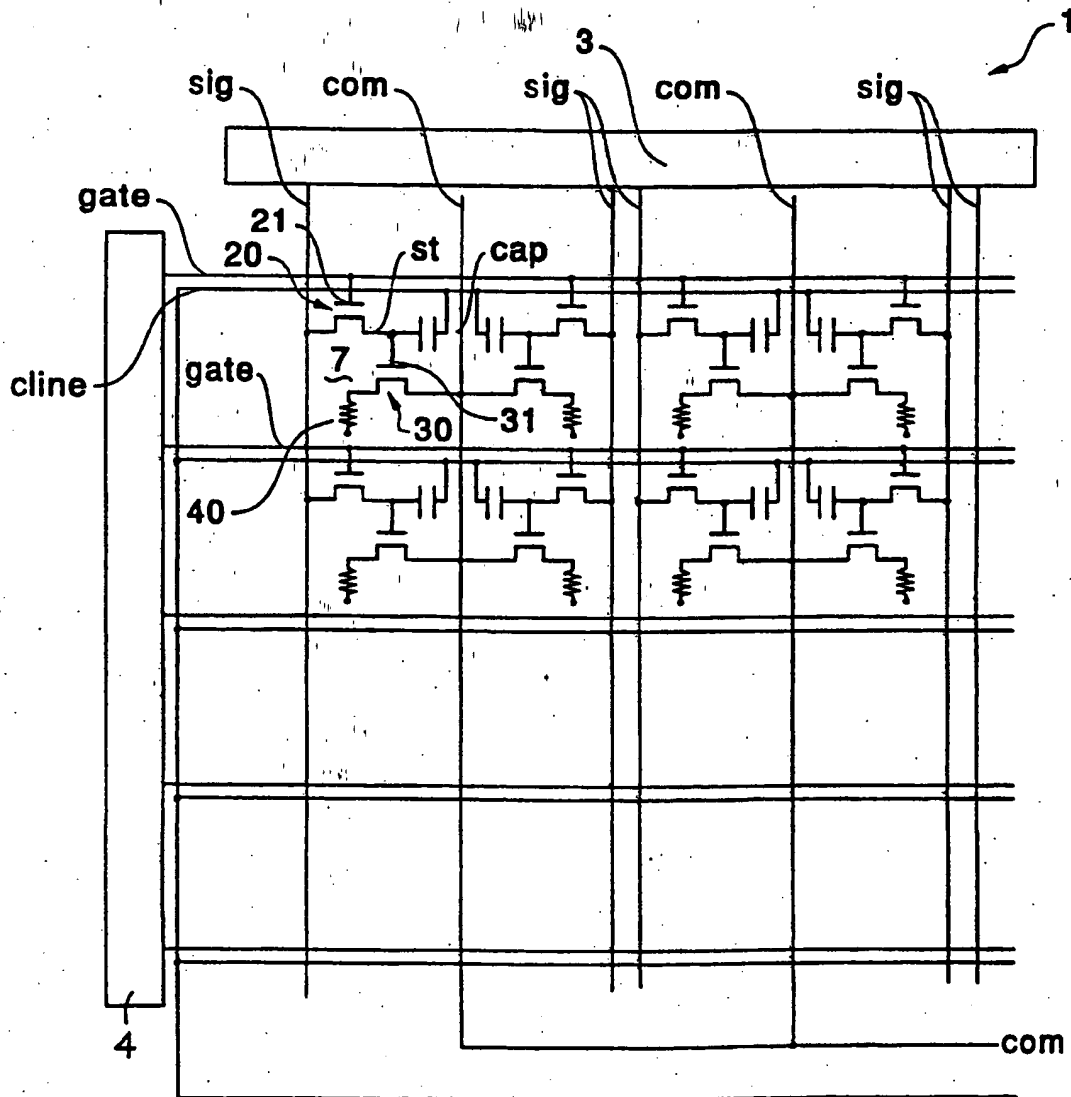
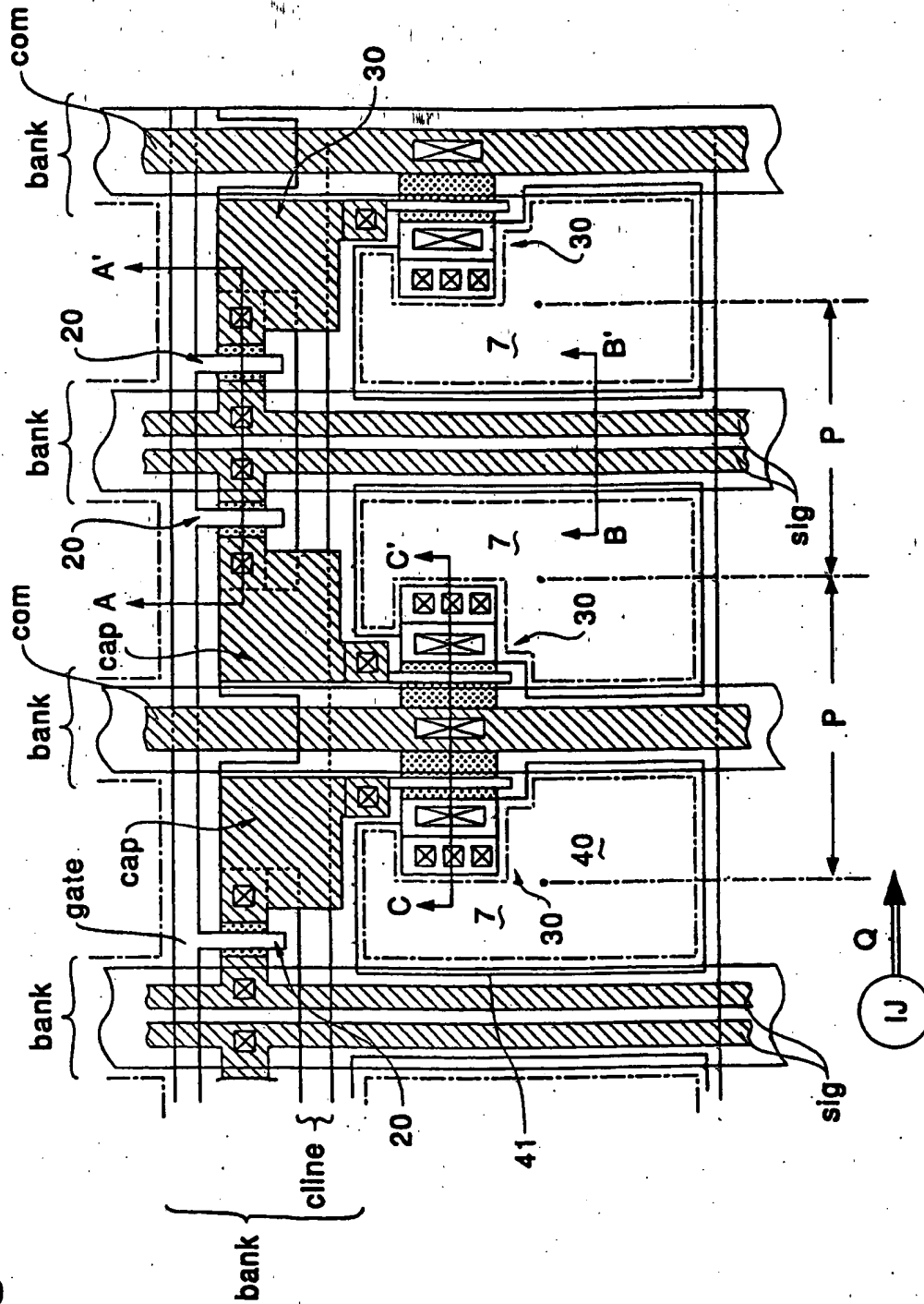
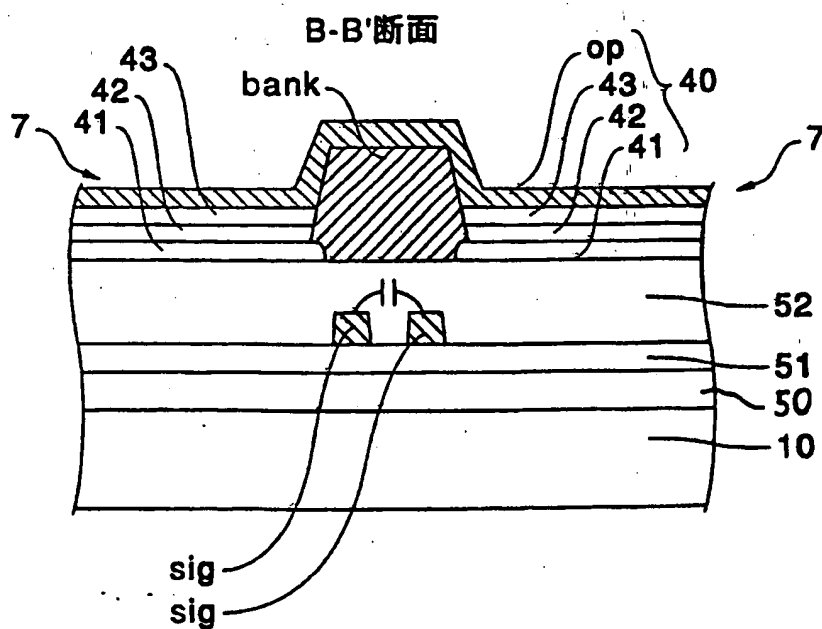
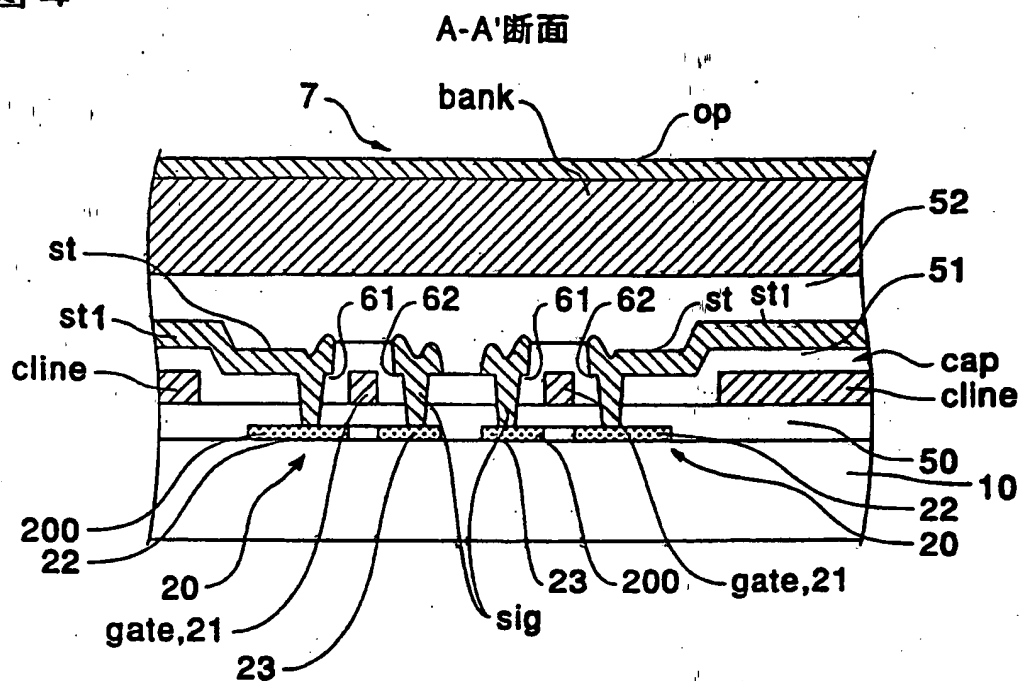


図 3

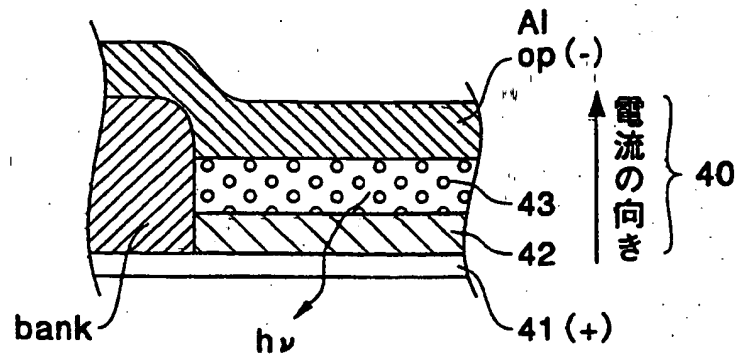




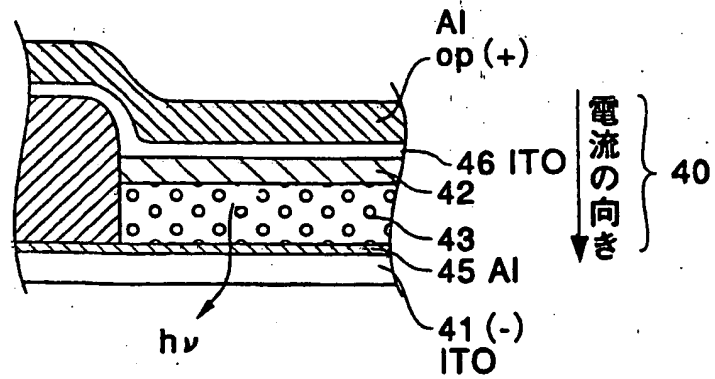
6/31

図 7

(A)



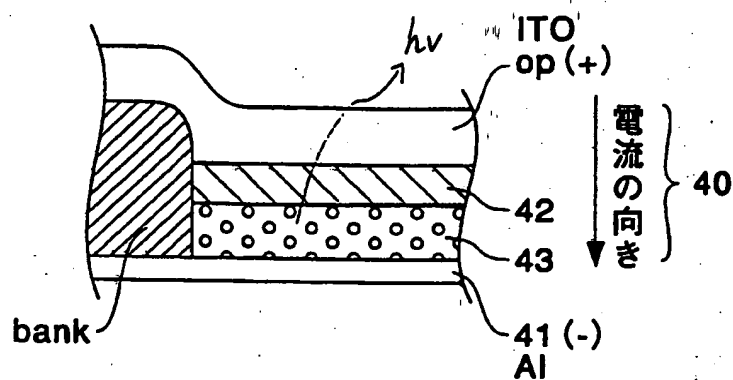
(B)



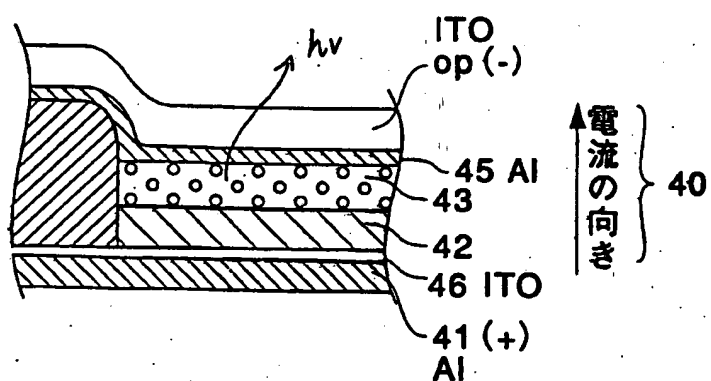
7/31

図 8

(A)



(B)



8/31

図 9

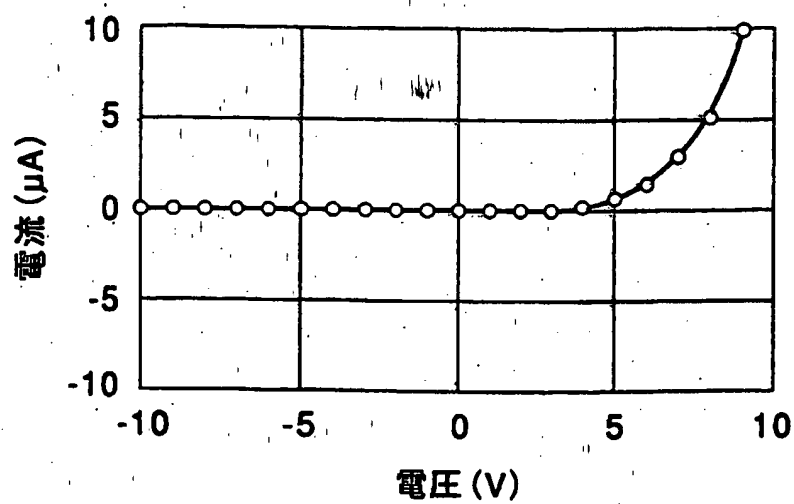
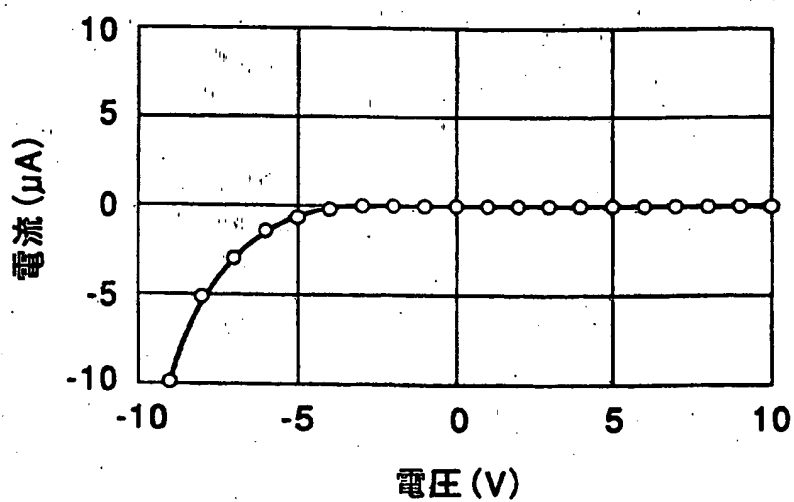


図 10



9/31

図 1 1

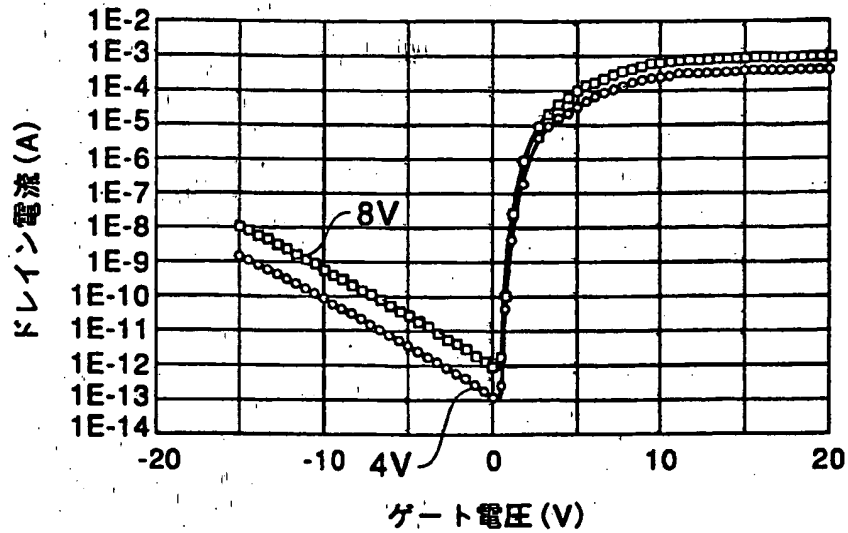
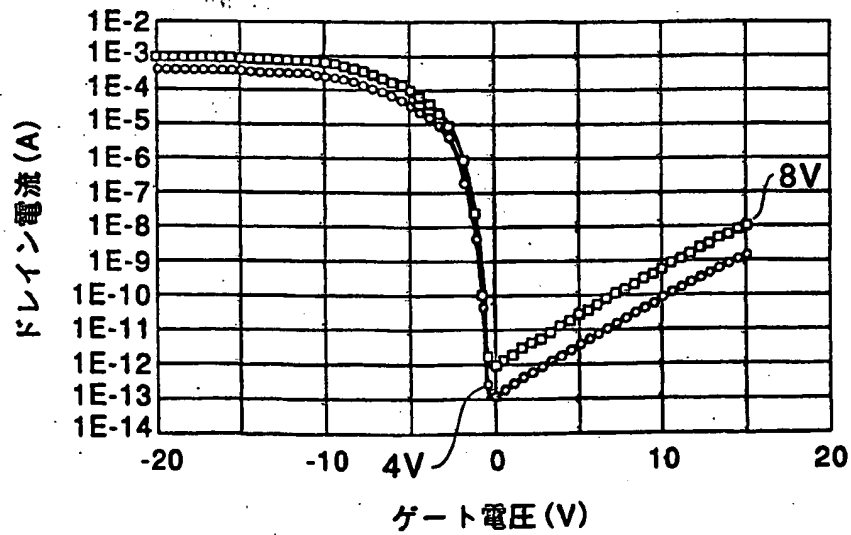
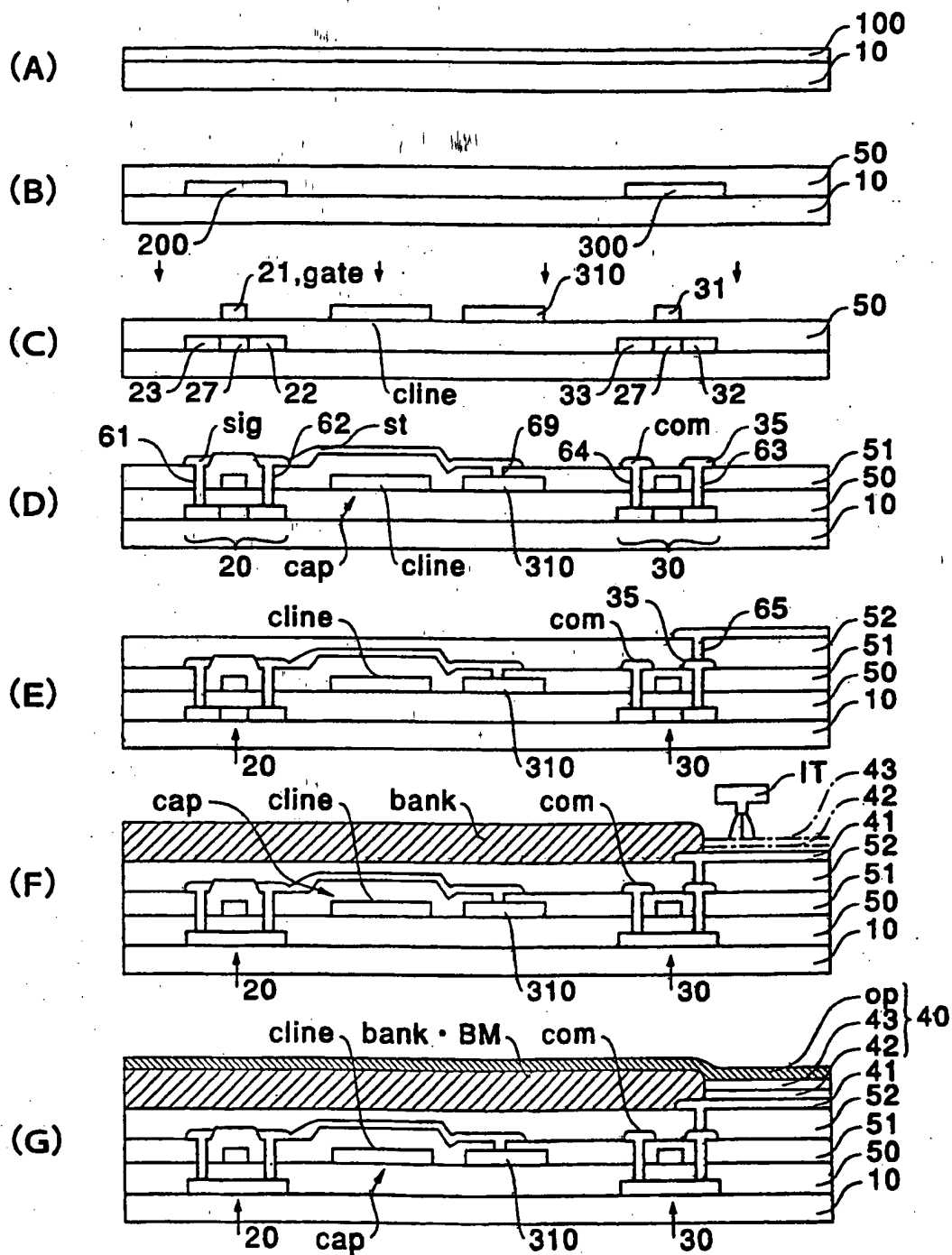
Nチャンネル型薄膜トランジスタの
電流電圧特性

図 1 2

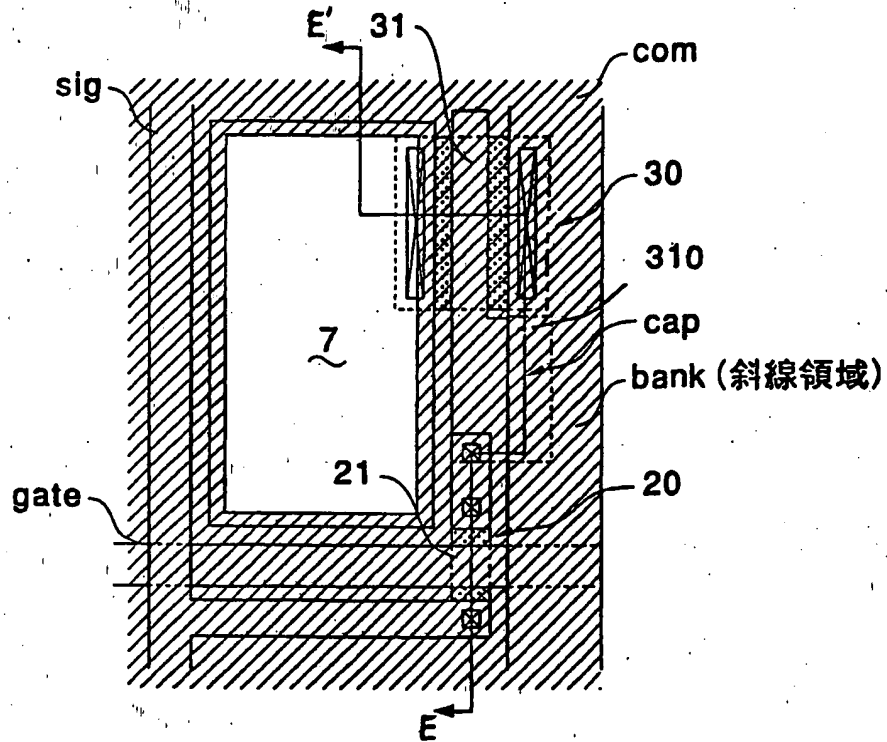
Pチャンネル型薄膜トランジスタの
電流電圧特性

10/31

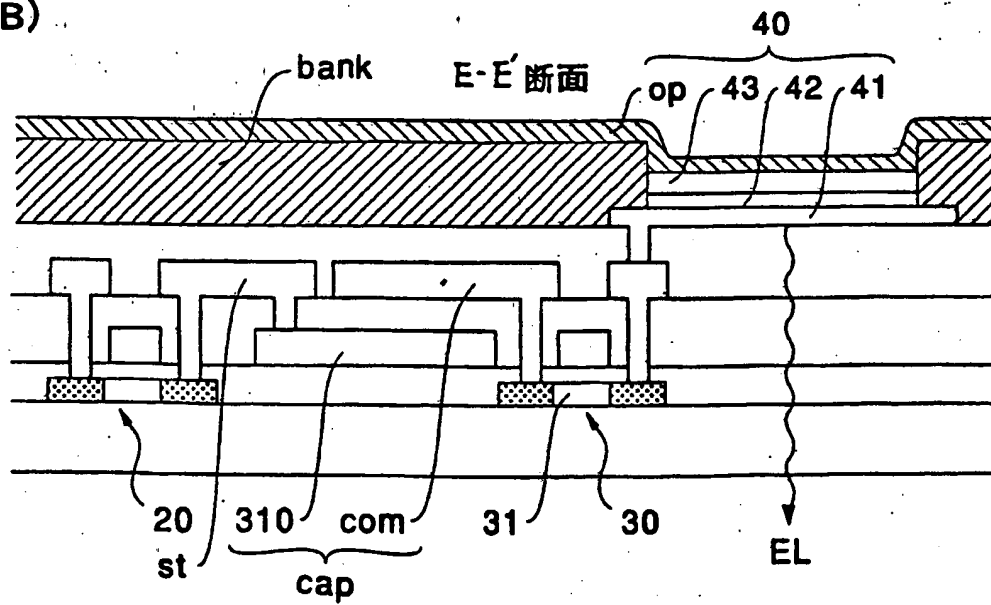
1 3



(A)

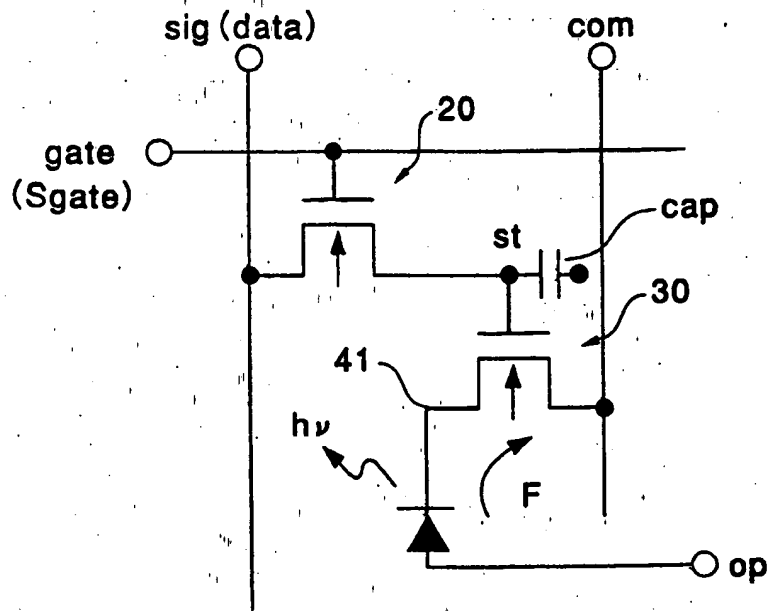


(B)



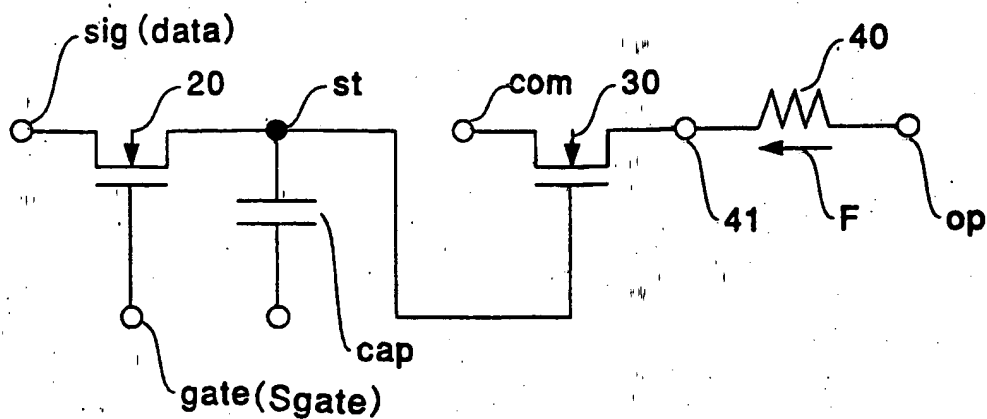
12/31

15

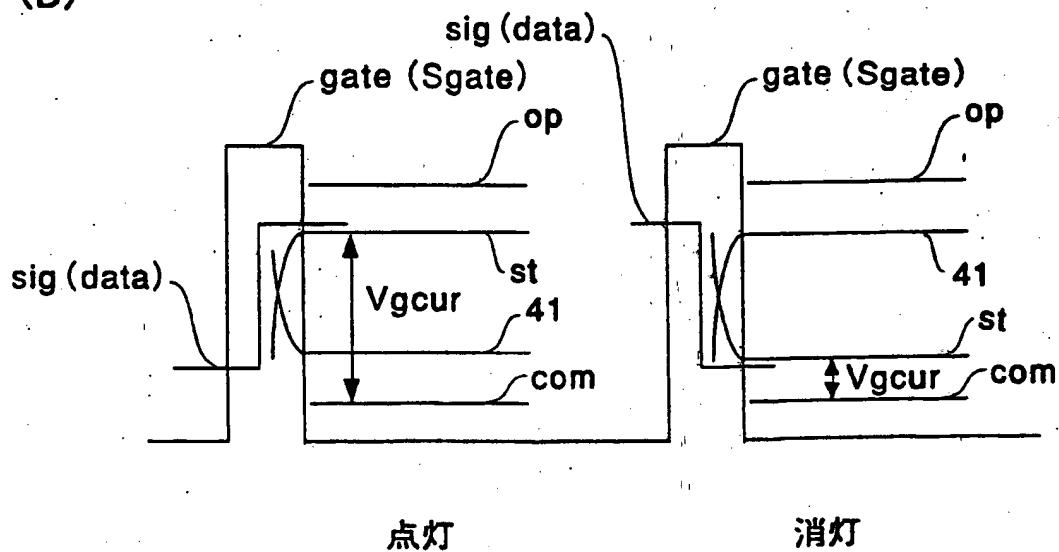


16

(A)



(B)



17

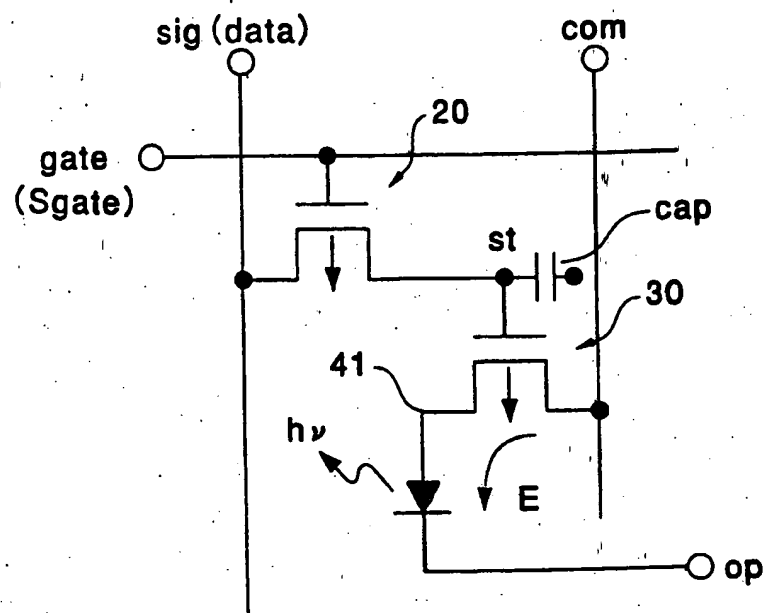
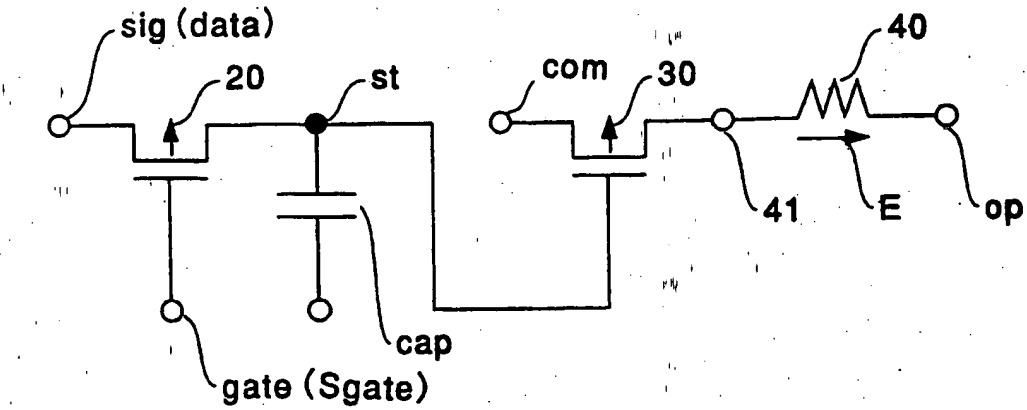
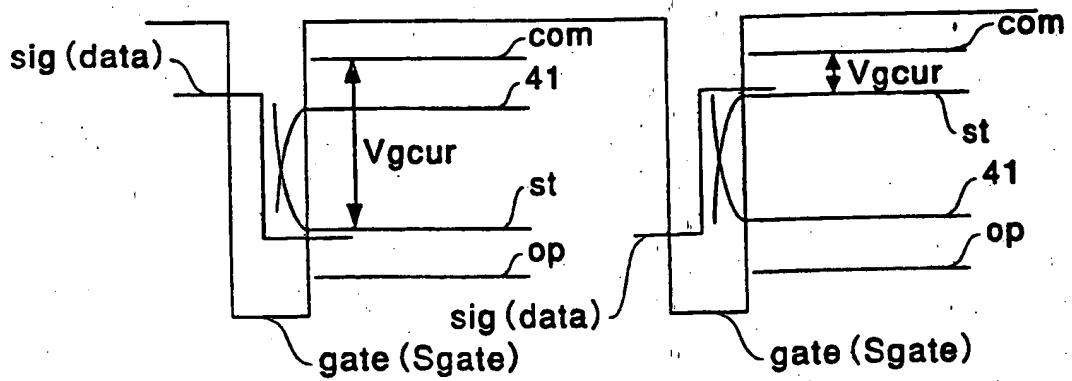


Figure 1 is a schematic diagram of a circuit. It consists of two transistors, 20 and 30, connected in a common-emitter configuration. The input of transistor 20 is labeled 'sig (data)'. The base of transistor 20 is connected to a common terminal 'com'. The emitter of transistor 20 is connected to a capacitor 'cap' and a gate terminal 'gate (Sgate)'. The collector of transistor 20 is connected to the base of transistor 30. The emitter of transistor 30 is connected to a common terminal 'com'. The collector of transistor 30 is connected to a resistor '40' and an output terminal 'op'. The gate terminal 'gate (Sgate)' is also connected to the common terminal 'com'.

(A)



(B)

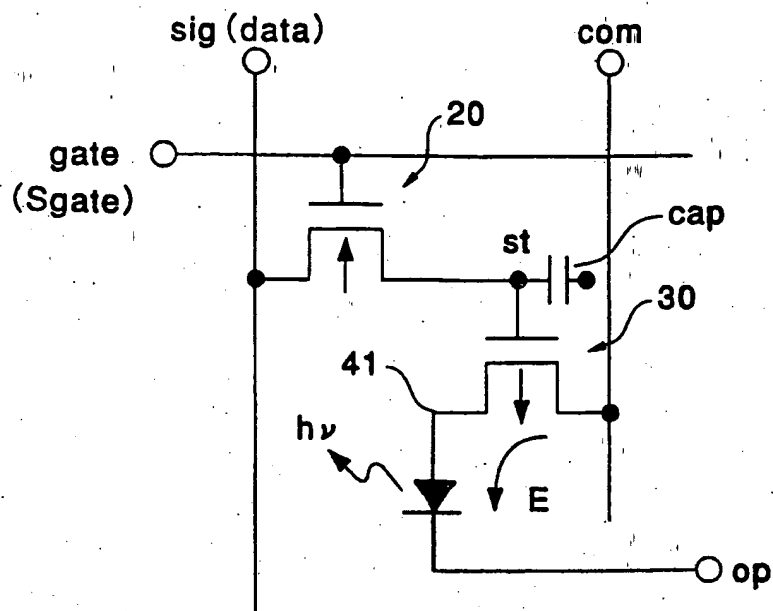


点灯

消灯

16/31

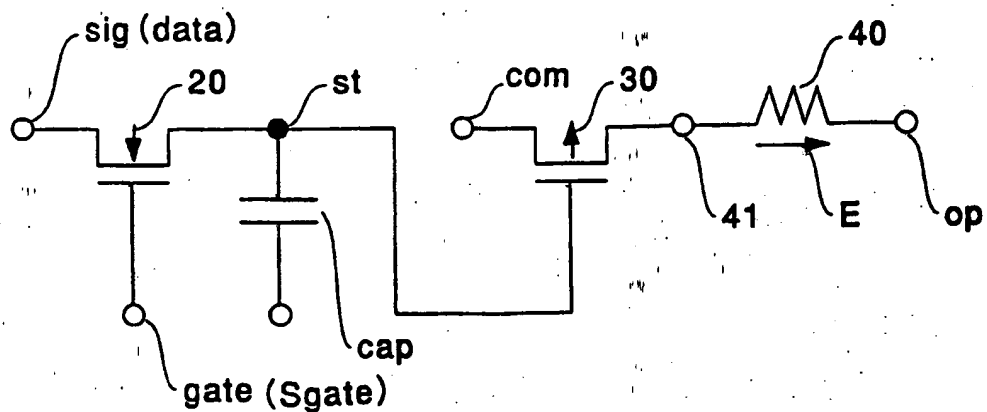
19



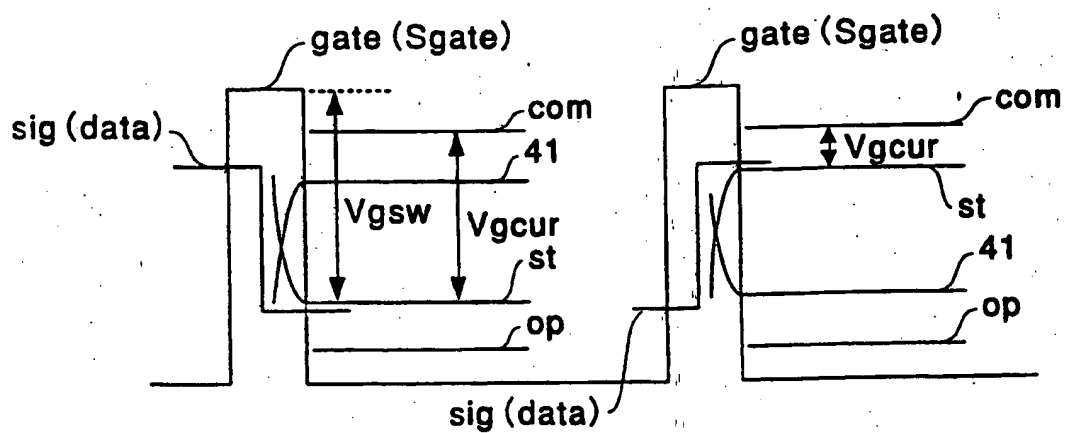
17/31

20

(A)



(B)

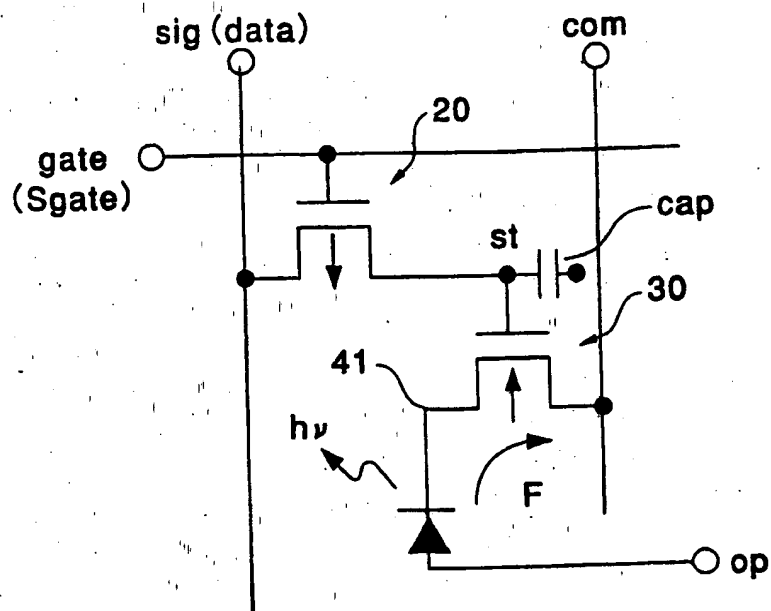


点灯

消灯

18/31

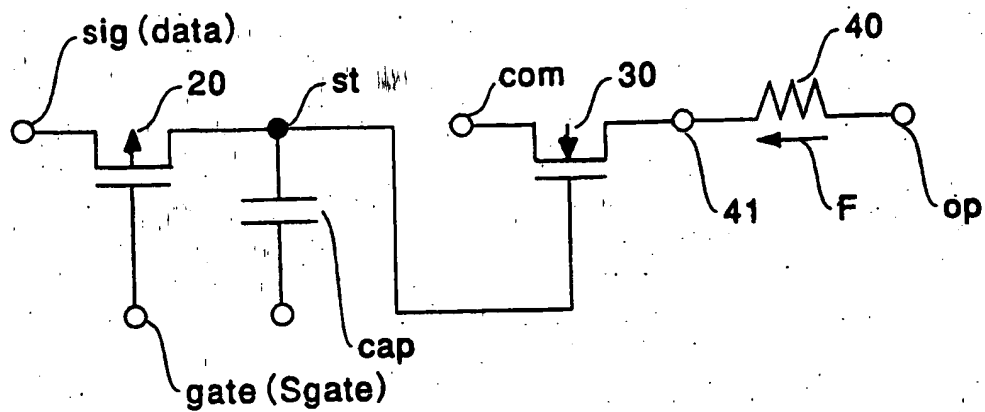
2 1



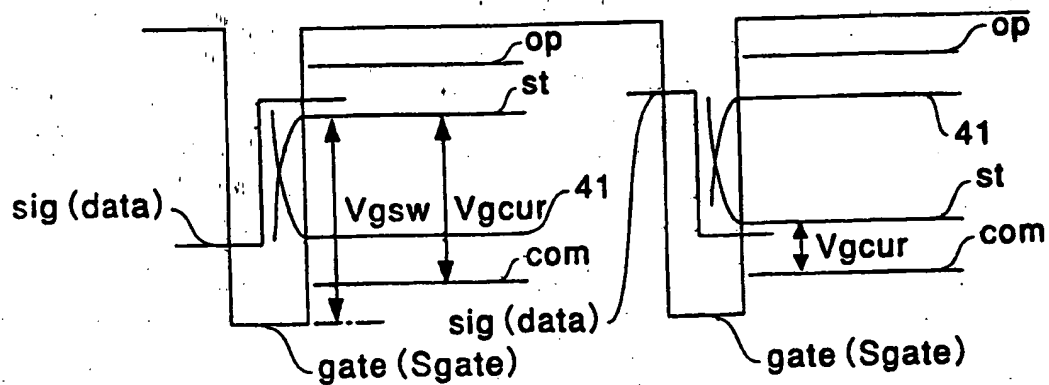
19/31

2 2

(A)



(B)



点灯

消灯

20/31

23

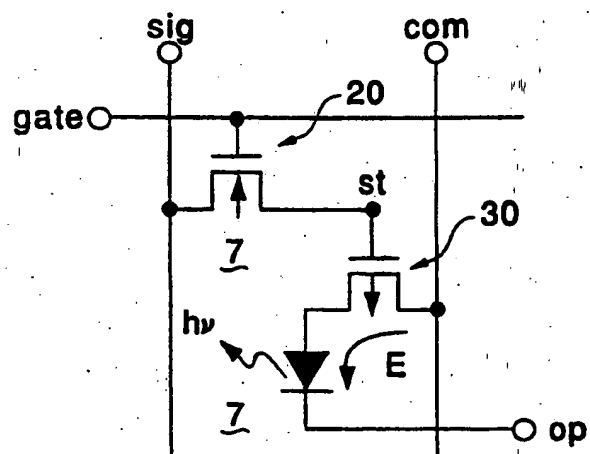
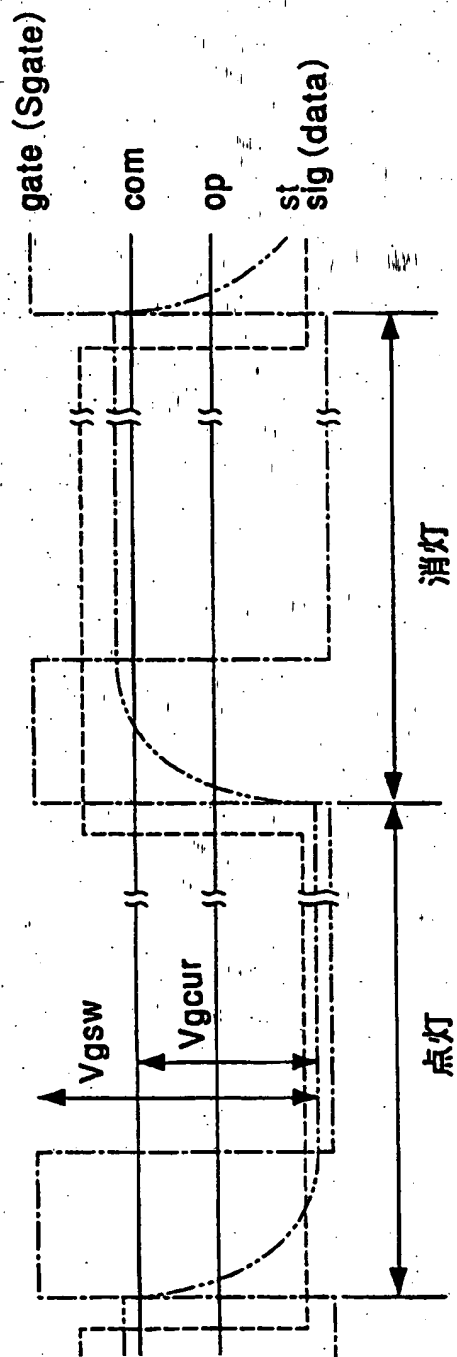
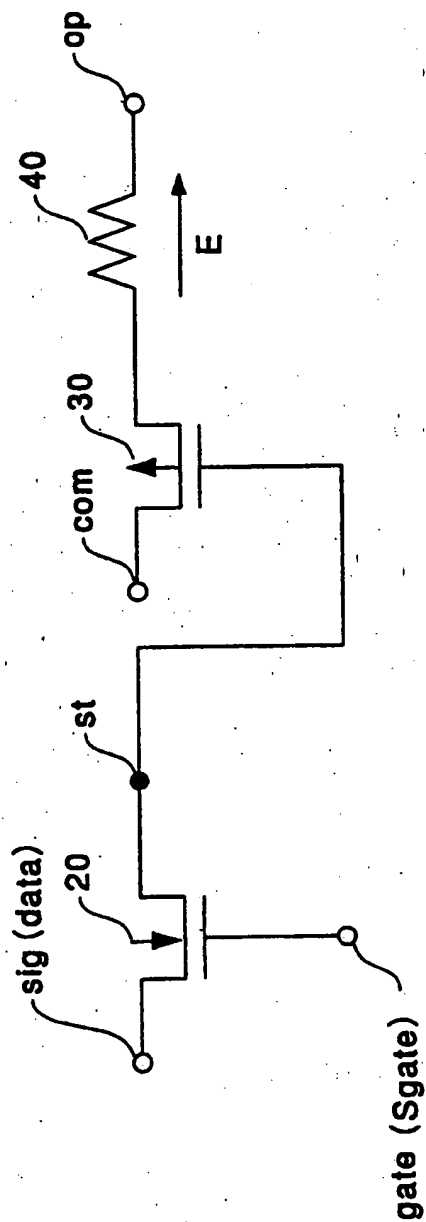


图 24 (A)

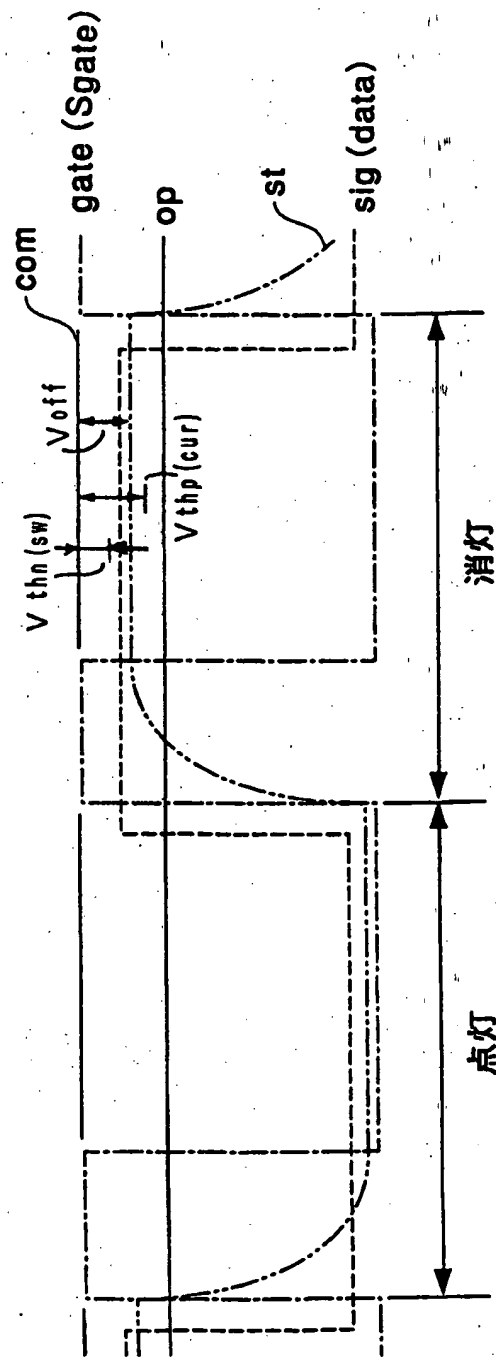


(B)



22/31

图 25



23/31

26

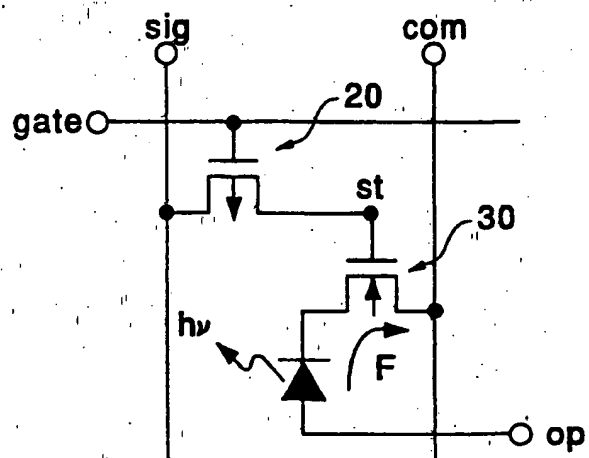
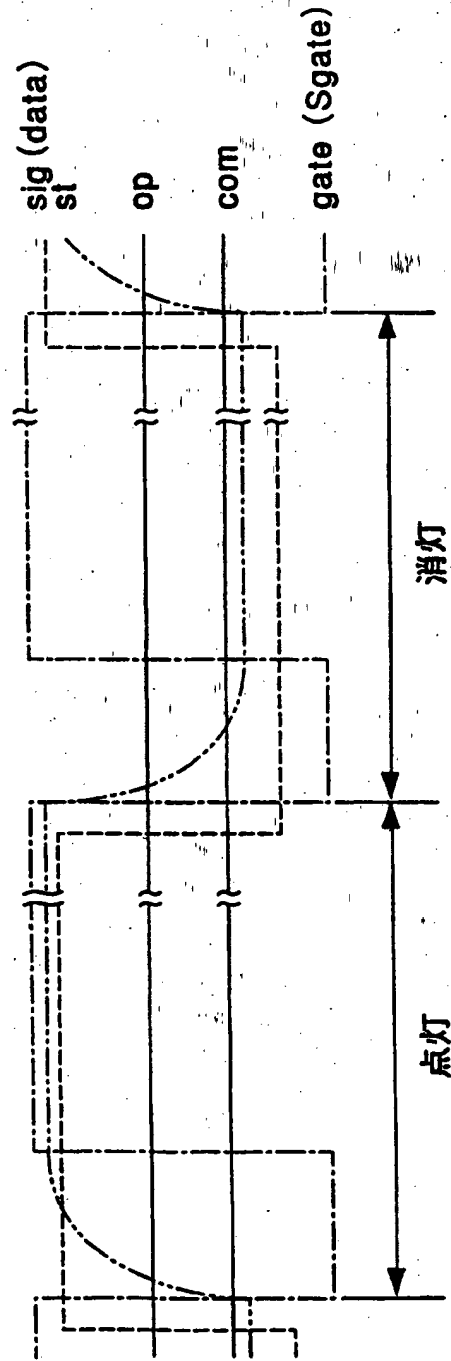
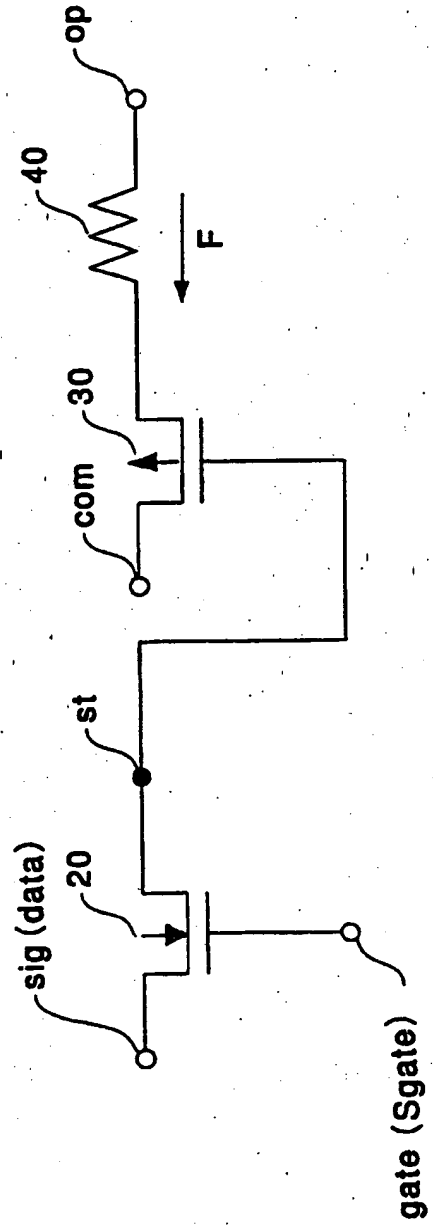


图 27 (A)

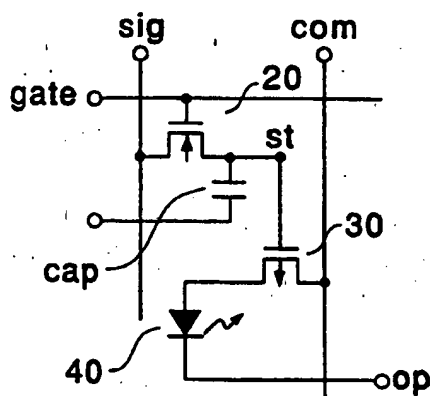


(B)

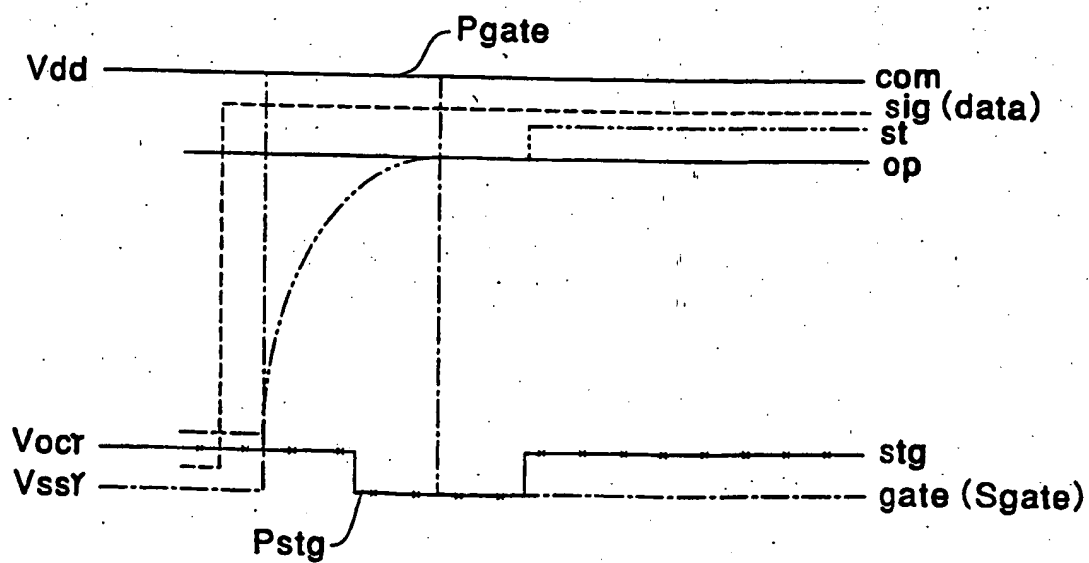


☒ 28

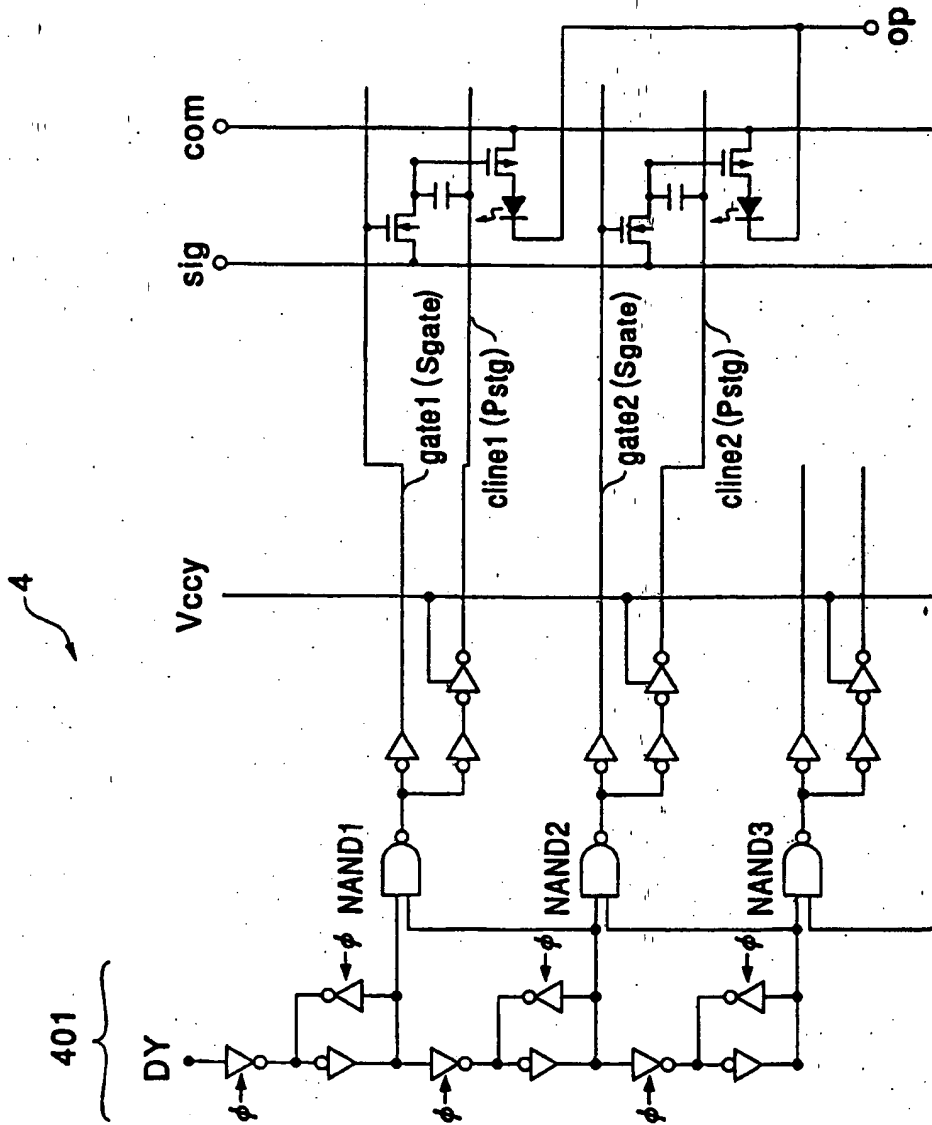
(A)



(B)

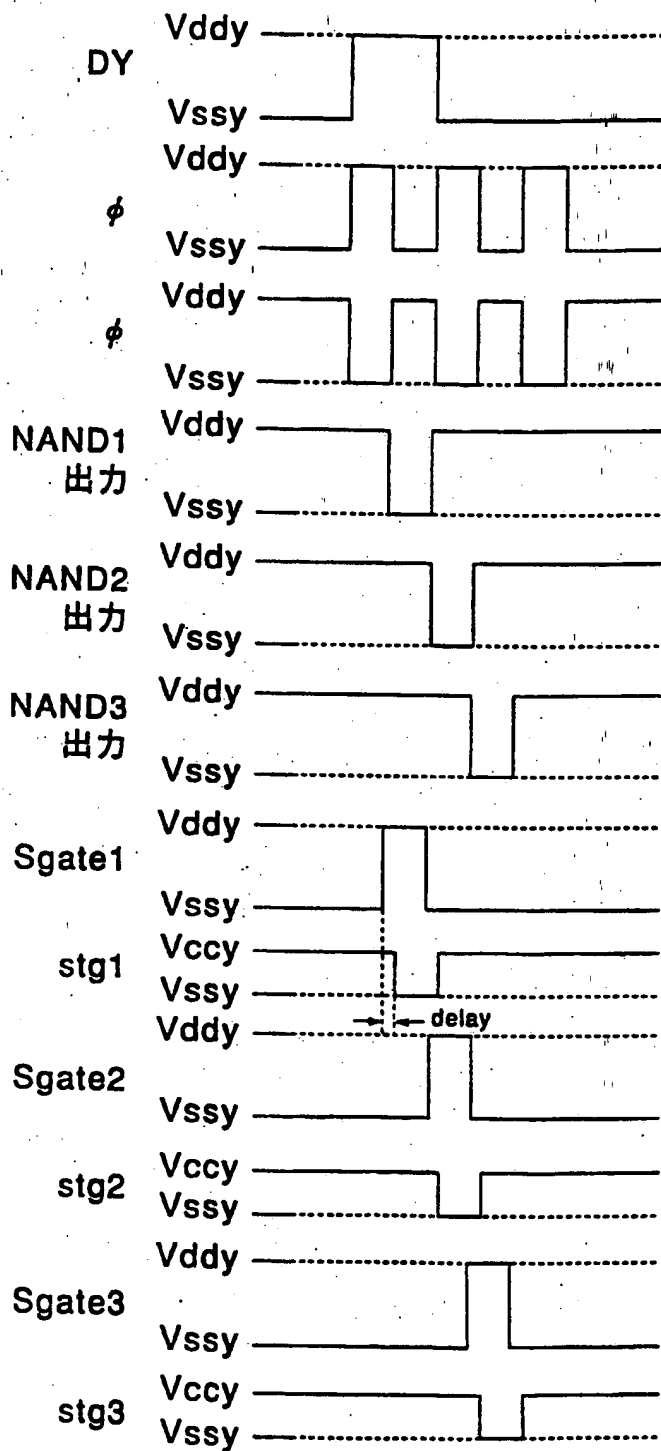


29

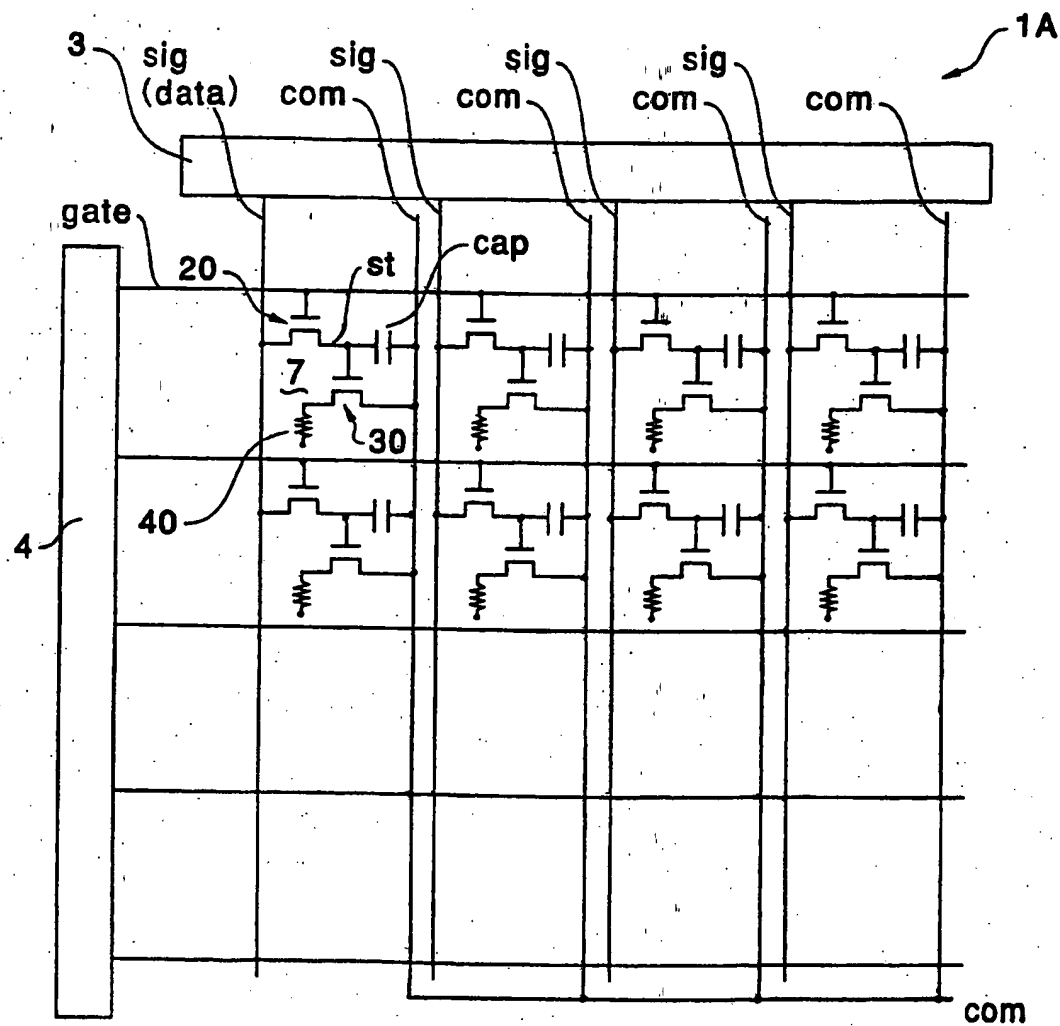


27/31

30

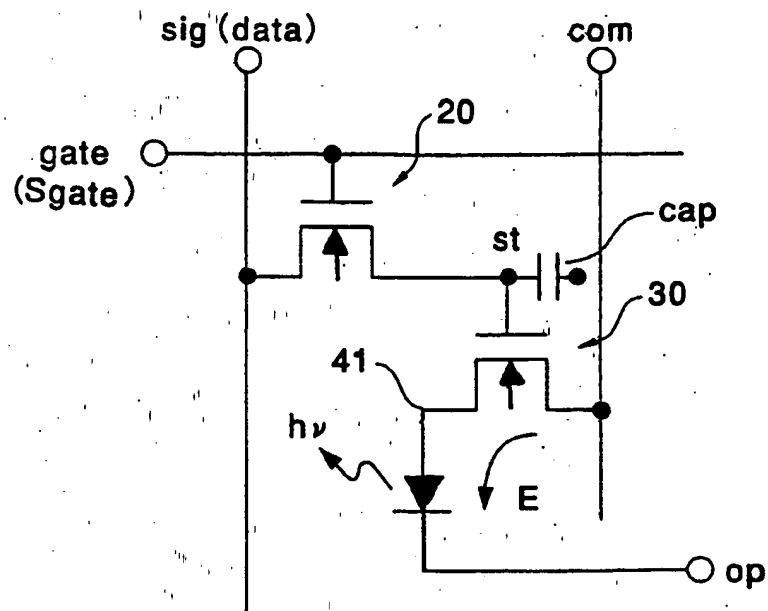


3 1



29/31

3 2



33 (A)

図 3 4 (A)

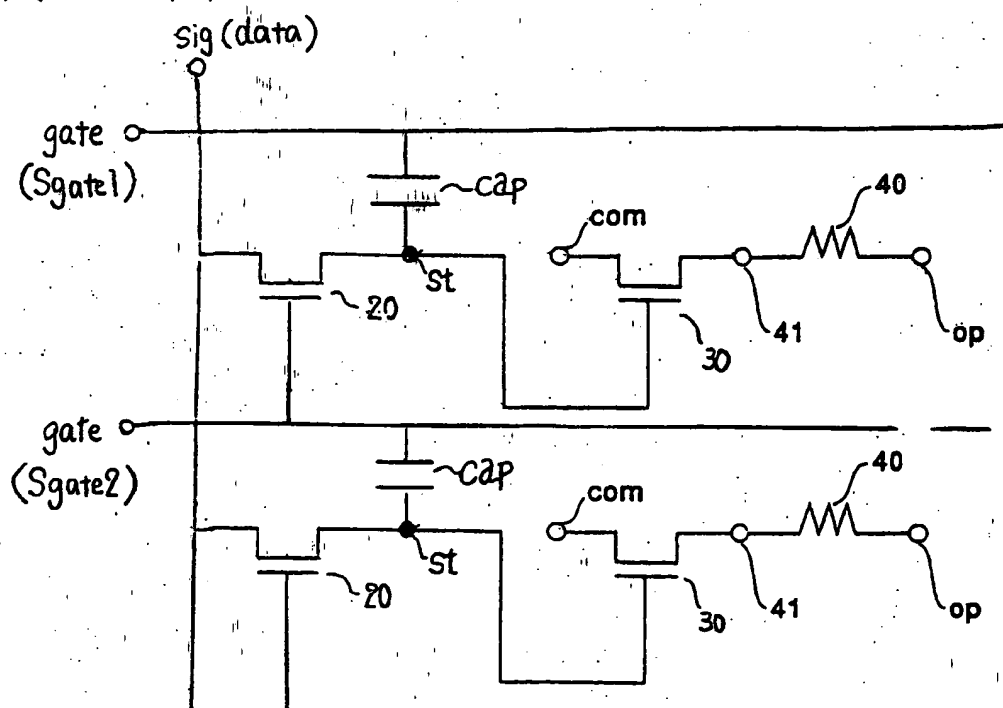
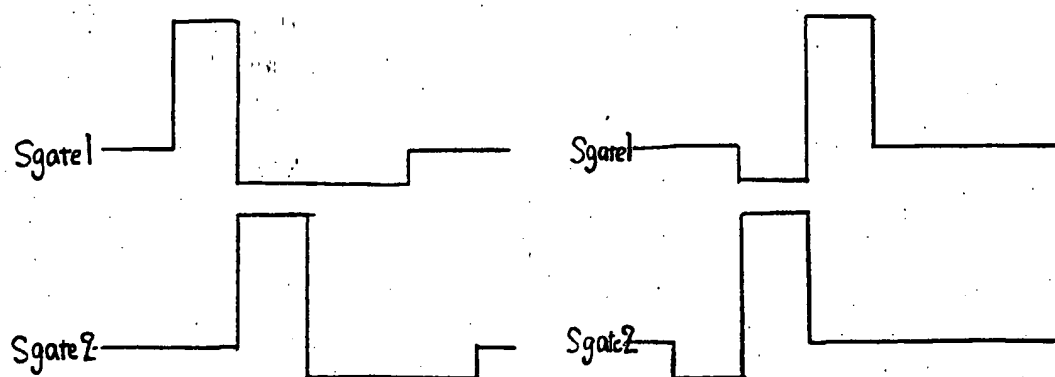


図 3 4 (B)



ゲート電圧の波形
(走査方向が Sgate1 → Sgate2)

ゲート電圧の波形
(走査方向が Sgate2 → Sgate1)

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP98/00656

A. CLASSIFICATION OF SUBJECT MATTER Int.Cl ⁶ G09G3/30, H05B33/08, H05B33/26, H01L33/00 According to International Patent Classification (IPC) or to both national classification and IPC																	
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) Int.Cl ⁶ G09G3/20-38, H05B33/00-28, H01L33/00 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Jitsuyo Shinan Koho 1926-1998 Toroku Jitsuyo Shinan Koho 1994-1998 Kokai Jitsuyo Shinan Koho 1971-1995 Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)																	
C. DOCUMENTS CONSIDERED TO BE RELEVANT <table border="1"> <thead> <tr> <th>Category*</th> <th>Citation of document, with indication, where appropriate, of the relevant passages</th> <th>Relevant to claim No.</th> </tr> </thead> <tbody> <tr> <td>X</td> <td>JP, 8-227276, A (Pioneer Electronic Corp.), September 3, 1996 (03. 09. 96)</td> <td>1, 14</td> </tr> <tr> <td>X</td> <td>JP, 8-129358, A (TDK Corp. and others), May 21, 1996 (21. 05. 96)</td> <td>2, 7, 8, 14</td> </tr> <tr> <td>Y</td> <td>JP, 8-227276, A (Pioneer Electronic Corp.), September 3, 1996 (03. 09. 96)</td> <td>15-16</td> </tr> <tr> <td>Y</td> <td>JP, 8-129358, A (TDK Corp. and others), May 21, 1996 (21. 05. 96)</td> <td>15-16</td> </tr> </tbody> </table>			Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.	X	JP, 8-227276, A (Pioneer Electronic Corp.), September 3, 1996 (03. 09. 96)	1, 14	X	JP, 8-129358, A (TDK Corp. and others), May 21, 1996 (21. 05. 96)	2, 7, 8, 14	Y	JP, 8-227276, A (Pioneer Electronic Corp.), September 3, 1996 (03. 09. 96)	15-16	Y	JP, 8-129358, A (TDK Corp. and others), May 21, 1996 (21. 05. 96)	15-16
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.															
X	JP, 8-227276, A (Pioneer Electronic Corp.), September 3, 1996 (03. 09. 96)	1, 14															
X	JP, 8-129358, A (TDK Corp. and others), May 21, 1996 (21. 05. 96)	2, 7, 8, 14															
Y	JP, 8-227276, A (Pioneer Electronic Corp.), September 3, 1996 (03. 09. 96)	15-16															
Y	JP, 8-129358, A (TDK Corp. and others), May 21, 1996 (21. 05. 96)	15-16															
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.																	
<table border="0"> <tr> <td style="vertical-align: top;"> * Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed </td> <td style="vertical-align: top;"> "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family </td> </tr> </table>			* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family													
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family																
Date of the actual completion of the international search May 12, 1998 (12. 05. 98)		Date of mailing of the international search report May 26, 1998 (26. 05. 98)															
Name and mailing address of the ISA/ Japanese Patent Office		Authorized officer															
Facsimile No.		Telephone No.															

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl.[°] G09G3/30 H05B33/08 H05B33/26 H01L33/00

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl.[°] G09G3/20-38 H05B33/00-28 H01L33/00

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1926-1998

日本国公開実用新案公報 1971-1995

日本国登録実用新案公報 1994-1998

国際調査で利用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	J P, 8-227276, A (パイオニア株式会社), 03. 9月 1996 (03. 09. 96)	1, 14
X	J P, 8-129358, A (ティーディーケイ株式会社, 他), 21. 5月. 1996 (21. 05. 96)	2, 7, 8, 14
Y	J P, 8-227276, A (パイオニア株式会社), 03. 9月 1996 (03. 09. 96)	15-16
Y	J P, 8-129358, A (ティーディーケイ株式会社, 他), 21. 5月. 1996 (21. 05. 96)	15-16

☐ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」先行文献ではあるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

12. 05. 98

国際調査報告の発送日

26.05.98

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

奥村元宏

5H

8022

電話番号 03-3581-1101 内線 3530

Family list

1 family member for:

JP9045930

Derived from 1 application.

1 THIN FILM TRANSISTOR AND ITS MANUFACTURE

Publication Info: JP9045930 A - 1997-02-14

Data supplied from the *esp@cenet* database - Worldwide

DIALOG(R)File 347:JAPIO

(c) 2004 JPO & JAPIO. All rts. reserv.

05431130 **Image available**

5 THIN FILM TRANSISTOR AND ITS MANUFACTURE

PUB. NO.: 09-045930 [JP 9045930 A]

PUBLISHED: February 14, 1997 (19970214)

INVENTOR(s): HAYASHI HISAO

10 FUJINO MASAHIRO

 YAMAZAKI MASARU

APPLICANT(s): SONY CORP [000218] (A Japanese Company or Corporation), JP
 (Japan)

APPL. NO.: 07-212716 [JP 95212716]

15 FILED: July 28, 1995 (19950728)

INTL CLASS: [6] H01L-029/786; H01L-021/336

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD: R002 (LASERS); R011 (LIQUID CRYSTALS); R044 (CHEMISTRY --
 Photosensitive Resins); R096 (ELECTRONIC MATERIALS -- Glass
20 Conductors)

ABSTRACT

PROBLEM TO BE SOLVED: To ensure sufficient on-current of a thin film
transistor while suppressing the off-current.

25

SOLUTION: A thin film transistor is provided with a laminated structure
formed by laminating a semiconductor thin film 1, a gate electrode 2
provided with a prescribed pattern and a gate insulating film 3 between the
film 1 and the electrode 2. The semiconductor thin film 1 is provided with

30 a channel area 4, a high concentration impurity area 5 and a low

concentration impurity area 6. The semiconductor thin film 1 is provided with an internal part IN included in the pattern of the gate electrode 2 and an external part OUT positioned outside the pattern. The channel area 4 is formed on the internal part IN, and the high concentration impurity area 5 is formed on the external part OUT. The low concentration impurity area 6 is positioned between the channel area 4 and the high concentration impurity area 5, and at least a part of the area 6 is included in the internal part IN. The on current is prevented from reducing by modulating the low concentration impurity area 6 by gate potential.

(19) 日本国特許庁 (J.P.)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-45930

(43) 公開日 平成9年(1997)2月14日

(51) Int. Cl.

識別記号

F I

H01L 29/78

H01L 29/78

616 V

616 A

616 N

21/336

審査請求 未請求 請求項の数13 F D (全8頁)

(21) 出願番号 特願平7-212716

(22) 出願日 平成7年(1995)7月28日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 林 久雄

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72) 発明者 藤野 昌宏

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72) 発明者 山崎 勝

東京都品川区北品川6丁目7番35号 ソニー株式会社内

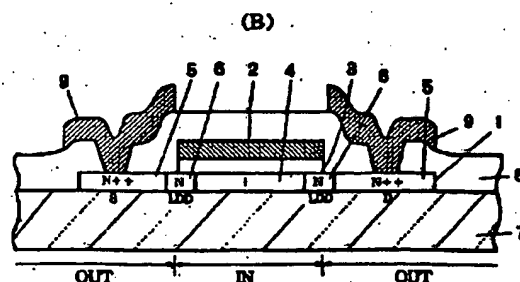
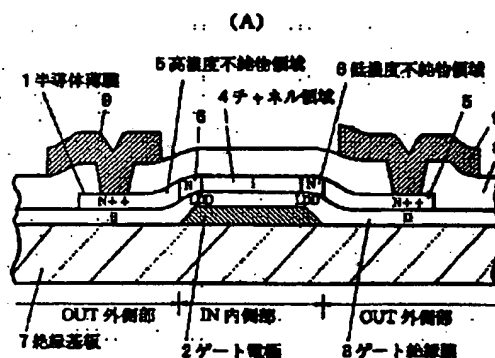
(74) 代理人 弁理士 鈴木 晴敏

(54) 【発明の名称】 薄膜トランジスタ及びその製造方法

(57) 【要約】

【課題】 薄膜トランジスタのオフ電流を抑制する一方十分なオン電流を確保する。

【解決手段】 薄膜トランジスタは半導体薄膜1と所定のボタンを有するゲート電極2と両者の間に介在するゲート絶縁膜3とを重ねた積層構造を有する。半導体薄膜1にはチャンネル領域4、高濃度不純物領域5及び低濃度不純物領域6が設けられている。半導体薄膜1はゲート電極2のボタン内に包含される内側部INとボタン外に位置する外側部OUTとを有している。チャンネル領域4は内側部INに形成され、高濃度不純物領域5は外側部OUTに形成される。低濃度不純物領域6はチャンネル領域4と高濃度不純物領域5の間に位置し、且つ少なくとも一部は内側部INに包含されている。ゲート電位で低濃度不純物領域6を変調させる様にしてオン電流を下げない様している。



【特許請求の範囲】

【請求項1】 半導体薄膜と、所定のボタンを有するゲート電極と、両者の間に介在するゲート絶縁膜とを重ねた積層構造を有し、該半導体薄膜にチャネル領域、高濃度不純物領域及び低濃度不純物領域を設けた薄膜トランジスタであって、

前記半導体薄膜は該ゲート電極のボタン内に包含される内側部とボタン外に位置する外側部とを有し、

前記チャネル領域は該内側部に形成され、

前記高濃度不純物領域は該外側部に形成され、

前記低濃度不純物領域は該チャネル領域と該高濃度不純物領域の間に位置し且つ少なくとも一部は該内側部に包含される事の特徴とする薄膜トランジスタ。

【請求項2】 前記低濃度不純物領域は、不純物濃度が $10^{16} \sim 10^{18}$ 個/cm³である事の特徴とする請求項1記載の薄膜トランジスタ。

【請求項3】 前記低濃度不純物領域は、不純物濃度がチャネル領域から高濃度不純物領域に向う水平方向に沿って勾配を有する事の特徴とする請求項1記載の薄膜トランジスタ。

【請求項4】 前記低濃度不純物領域は、不純物濃度が半導体薄膜の深さ方向に沿って勾配を有する事の特徴とする請求項1記載の薄膜トランジスタ。

【請求項5】 前記高濃度不純物領域はチャネル領域の両側に位置し、前記低濃度不純物領域は少なくとも一方の高濃度不純物領域とチャネル領域との間に設ける事の特徴とする請求項1記載の薄膜トランジスタ。

【請求項6】 絶縁基板上に所定のボタンのゲート電極を形成する第1工程と、

該ゲート電極の上にゲート絶縁膜を形成する第2工程と、

該ゲート絶縁膜の上に半導体薄膜を形成する第3工程と、

該ゲート電極のボタンより内側に入るボタンで第1不純物阻止膜を該半導体薄膜の上に形成する第4工程と、

該第1不純物阻止膜をマスクとして不純物を低濃度で該半導体薄膜にドーピングする第5工程と、

該第1不純物阻止膜のボタンを包含し且つそれよりも大面積のボタンで第2不純物阻止膜を形成する第6工程と、

該第2不純物阻止膜をマスクとして不純物を高濃度で該半導体薄膜にドーピングする第7工程とを行なう薄膜トランジスタの製造方法。

【請求項7】 前記第4工程は、該ゲート電極をマスクとして透明な絶縁基板の裏面からオーバ露光を行ない、該絶縁基板の表面に第1不純物阻止膜のボタンを設定する裏面露光処理を含む請求項6記載の薄膜トランジスタの製造方法。

【請求項8】 前記第6工程は、該ゲート電極をマスクとして透明な絶縁基板の裏面から露光を行ない、該絶縁

基板の表面に第2不純物阻止膜のボタンを設定する裏面露光処理を含む請求項7記載の薄膜トランジスタの製造方法。

【請求項9】 前記第5工程は、不純物のイオンを電界加速して該半導体薄膜中にドーピングする請求項6記載の薄膜トランジスタの製造方法。

【請求項10】 前記第7工程は、不純物のイオンを電界加速して該半導体薄膜にドーピングする請求項6記載の薄膜トランジスタの製造方法。

10 【請求項11】 前記第7工程は、不純物を高濃度で含有するドーブトシリコンを該半導体薄膜に重ねて成膜し、レーザ光を照射して不純物のドーピングを行なう請求項6記載の薄膜トランジスタの製造方法。

【請求項12】 前記第4工程は、熱変形可能なフォトレジストを用いて第1不純物阻止膜を形成し、前記第6工程は該フォトレジストをリフロー加熱して第1不純物阻止膜のボタンを拡大化し第2不純物阻止膜に伝換する請求項6記載の薄膜トランジスタの製造方法。

20 【請求項13】 画素電極と、これをスイッチング駆動する薄膜トランジスタと、該薄膜トランジスタを駆動する駆動回路に含まれる薄膜トランジスタとが同一基板に集積形成された表示用薄膜半導体装置であって、

少なくとも駆動回路に含まれる薄膜トランジスタは、半導体薄膜と、所定のボタンを有するゲート電極と、両者の間に介在するゲート絶縁膜とを重ねた積層構造を有し、該半導体薄膜にチャネル領域、高濃度不純物領域及び低濃度不純物領域を設けており、

前記半導体薄膜は該ゲート電極のボタン内に包含される内側部とボタン外に位置する外側部とを有し、

30 前記チャネル領域は該内側部に形成され、

前記高濃度不純物領域は該外側部に形成され、

前記低濃度不純物領域は該チャネル領域と該高濃度不純物領域の間に位置し且つ少なくとも一部は該内側部に包含される事の特徴とする表示用薄膜半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は薄膜半導体装置に集積形成される薄膜トランジスタ及びその製造方法に関する。より詳しくは、薄膜トランジスタのオフ電流を抑制し且つ十分なオン電流を確保する為の構造並びに製法に関する。

【0002】

【従来の技術】 近年、電子機器の小型・薄型化の為に大面積集積回路の研究が盛んになっている。例えば、アクティブマトリクス液晶テレビ、密着型ラインセンサ、サーマルプリンタヘッド等の素子が開発されている。これらの素子開発には、多結晶シリコン等の半導体薄膜を活性層として用いる薄膜トランジスタが最適であると考えられている。多結晶シリコン薄膜中に素子を作成する為

40 に種々の改善が試みられている。一般には、小粒径シリ

コンの集合体であると考えられている多結晶膜には、多数の未結合手が存在しており、この為に電気特性が単結晶シリコントランジスタと比較して劣っている。多結晶シリコン薄膜をMOSトランジスタの活性層に用いると、ドレイン接合の耐圧が低く、また接合漏れ電流（オフ電流）が大きいという欠点が指摘されている。ドレイン接合において、弱電界では Si/SiO_2 界面でのリーク電流、 2×10^{-10} V/cmを超える強電界ではトンネル電流が支配的である。

【0003】

【発明が解決しようとする課題】 薄膜トランジスタの高耐圧化や漏れ電流の低減の為に、オフセットゲート構造が提案されている。薄膜トランジスタは多結晶シリコンからなる半導体薄膜と、所定のボタンを有するゲート電極と、両者の間に介在するゲート絶縁膜とを重ねた積層構造を有する。オフセットゲート構造では半導体薄膜にチャネル領域、高濃度不純物領域及び低濃度不純物領域が形成されている。高濃度不純物領域はチャネル領域の両側に位置しソース領域及びドレイン領域として機能する。低濃度不純物領域はチャネル領域とドレイン領域との間及び/又はチャネル領域とソース領域との間に介在し、所謂LDD領域（Lightly Doped Drain）と呼ばれている。しかしながら、このLDD領域を設けると漏れ電流を顕著に抑制できるものの、逆に駆動電流（オン電流）が低下してしまう。従来のLDD領域はゲート電極の外側にあり、ゲート電位による変調を受けない為にその分オン電流が低下する。特に、ソース領域側にこのLDD領域を設けるとオン電流が大幅に下がってしまう。かかる従来の技術の解決すべき課題は、例えば電子情報通信学会論文誌 C-II Vol. J 73-C-II No. 4, pp. 277-283 1990年4月「多結晶シリコンMOSFETにおけるドレイン接合の設計」に記載されている。

【0004】

【課題を解決するための手段】 上述した従来の技術の課題を解決する為以下の手段を認じた。即ち、本発明にかかる薄膜トランジスタは基本的に、半導体薄膜と、所定のボタンを有するゲート電極と、両者の間に介在するゲート絶縁膜とを有する。該半導体薄膜にチャネル領域、高濃度不純物領域及び低濃度不純物領域が設けられている。この半導体薄膜は該ゲート電極のボタン内に包含される内側部とボタン外に位置する外側部とに分かれている。前記チャネル部は該内側部に形成され、前記高濃度不純物領域は該外側部に形成されている。特徴事項として、前記低濃度不純物領域は該チャネル領域と該高濃度不純物領域の間に位置し且つ少なくとも一部は該内側部に包含されている。好ましくは、前記低濃度不純物領域は、不純物濃度が $10^{16} \sim 10^{18}$ 個/cm³である。又、前記低濃度不純物領域は不純物濃度がチャネル領域から高濃度不純物領域に向う水平方向に沿って勾配を有する

ものであっても良い。あるいは、前記低濃度不純物領域は不純物濃度が半導体薄膜の深さ方向に沿って勾配を有するものであっても良い。又好ましくは、前記高濃度不純物領域はチャネル領域の両側に位置し、前記低濃度不純物領域は少なくとも一方の高濃度不純物領域とチャネル領域との間に設ける。

【0005】 本発明の他の側面では、薄膜トランジスタは以下の工程により製造される。先ず絶縁基板上に所定のボタンのゲート電極を形成する第1工程を行なう。次に該ゲート電極の上にゲート絶縁膜を形成する第2工程を行なう。続いて該ゲート絶縁膜の上に半導体薄膜を形成する第3工程を行なう。さらに該ゲート電極のボタンより内側に入るボタンで第1不純物阻止膜を該半導体薄膜の上に形成する。この後該第1不純物阻止膜をマスクとして不純物を低濃度で該半導体薄膜にドーピングする第5工程を行なう。さらに該第1不純物阻止膜のボタンを包含し且つそれよりも大面積のボタンで第2不純物阻止膜を形成する第6工程を行なう。最後に、該第2不純物阻止膜をマスクとして不純物を高濃度で該半導体薄膜にドーピングする第7工程を行なう。好ましくは、前記第4工程は該ゲート電極をマスクとして透明な絶縁基板の裏面からオーバ露光を行ない、該絶縁基板の表面に第1不純物阻止膜のボタンを設定する裏面露光処理を含む。又好ましくは、前記第6工程は該ゲート電極をマスクとして透明な絶縁膜の裏面から露光を行ない、該絶縁基板の表面に第2不純物阻止膜のボタンを設定する裏面露光処理を含む。又、前記第5工程は不純物のイオンを電界加速して該半導体薄膜中にドーピングする。同様に、前記第7工程は不純物のイオンを電界加速して該半導体薄膜にドーピングする。あるいは、前記第7工程は不純物を高濃度で含有するドーブトシリコンを該半導体薄膜に重ねて成膜し、レーザ光を照射して不純物のドーピングを行なっても良い。さらに好ましくは、前記第4工程は熱変形可能なフォトレジストを用いて第1不純物阻止膜を形成し、前記第6工程は該フォトレジストをリフロー加熱して第1不純物阻止膜のボタンを拡大化し第2不純物阻止膜に転換する方法であっても良い。

【0006】 本発明は表示用薄膜半導体装置を包含している。この表示用薄膜半導体装置は画素電極と、これをスイッチング駆動する薄膜トランジスタと、該薄膜トランジスタを駆動する駆動回路に含まれる薄膜トランジスタとが同一基板に集積形成されている。少なくとも駆動回路に含まれる薄膜トランジスタは半導体薄膜と、所定のボタンを有するゲート電極と、両者の間に介在するゲート絶縁膜とを重ねた積層構造を有し、該半導体薄膜にチャネル領域、高濃度不純物領域及び低濃度不純物領域を設けている。前記半導体薄膜は該ゲート電極のボタン内に包含される内側部とボタン外に位置する外側部とに分かれている。前記チャネル部は該内側部に形成され、前記高濃度不純物領域は該外側部に形成される。特徴事

項として、前記低濃度不純物領域は該チャネル領域と該高濃度不純物領域の間に位置し、且つ少なくとも一部は該内側部に包含される。

【0007】多結晶シリコン等の半導体薄膜を活性層とする薄膜トランジスタではオフ電流（リーク電流）の抑制が重要であり、LDD構造が採用されている。しかしながら、チャネル領域と高濃度不純物領域との間に低濃度不純物領域（LDD領域）を介在させたLDD構造を採用するとオン電流（駆動電流）が低下する。この点に鑑み、本発明はオン電流を低下させずオフ電流を抑制する新規なLDD構造を実現している。従来のLDD構造ではLDD領域がゲートパタンよりも外側部にあり、ゲート電位による変調を受けない為その分駆動電流が下がる。特に、ソース領域側にこのLDD領域があると大きく下がってしまう。そこで、本発明ではこのLDD領域をゲートパタンの内側部に配置し、ゲート電位で変調させる様にしてオン電流を下げない様にする。

【0008】

【発明の実施の形態】以下、図1を参照して最良な発明の実施形態を説明する。(A)は本発明にかかる薄膜トランジスタの基本的な断面構造を表わしており、ボトムゲート型である。図示する様に、薄膜トランジスタは多結晶シリコン等からなる半導体薄膜1と、所定のパタンを有するゲート電極2と、両者の間に介在するゲート絶縁膜3とを重ねた積層構造を有する。本例では半導体薄膜1の下側にゲート電極2が配置しておりボトムゲート型となっている。半導体薄膜1にはチャネル領域（1（イントリンシック）領域）4と、高濃度不純物領域（N++領域）5と、低濃度不純物領域（N領域）6とが設けられている。高濃度不純物領域5はチャネル領域4の両側に位置し、夫々ソース領域S及びドレイン領域Dとして機能する。一方、低濃度不純物領域6はLDD領域となり、少なくとも一方の高濃度不純物領域5とチャネル領域4との間に介在する。本例では、LDD領域6はチャネル領域4とドレイン領域Dとの間及びチャネル領域4とソース領域Sとの間に設けられている。

【0009】半導体薄膜1はアイランド状にパタニングされており、ゲート電極2のパタン内に包含される内側部INとパタン外に位置する外側部OUTとに分かれている。チャネル領域4は内側部INに形成される一方、高濃度不純物領域5は外側部OUTに形成されている。特徴事項として、低濃度不純物領域6はチャネル領域4と高濃度不純物領域5の間に位置し且つ少なくとも一部は内側部INに包含されている。なお、図示の例では低濃度不純物領域6は全て内側部INに包含されている。好ましくは、低濃度不純物領域6はその不純物濃度が $10^{10} \sim 10^{11}$ 個/cm³に設定されている。又、低濃度不純物領域6はその不純物濃度がチャネル領域4から高濃度不純物領域5に向う水平方向に沿って勾配を有するものであっても良い。LDD領域にドレイン方向又はソー

ス方向に向って濃度分布を付ける事で、LDD領域の幅を実効的に狭くできより多くのオン電流を確保できる。あるいは、LDD領域の不純物濃度が半導体薄膜1の深さ方向に沿って勾配を有する様にしても同様の効果が得られる。なお、上述した構造を有する薄膜トランジスタは絶縁基板7の上に形成されると共に、パシベーション膜8により被覆されている。このパシベーション膜8にはソース領域S及びドレイン領域Dに連通するコンタクトホールが開口している。パシベーション膜8の上には配線9がパタニング形成されており、コンタクトホールを介してソース領域S及びドレイン領域Dに電気接続している。

【0010】ところで、ドレイン耐圧を測定する場合、ソース領域S及びゲート電極2を接地電位に近い状態に保持すると共に、ドレイン領域Dに正電位（Nチャネルトランジスタの場合）を印加する。この時、チャネル領域4とドレイン領域Dの接合部では強い電場（アキュミレーション層）が形成される。この為、接合部には強い横方向電界が発生し、ブレイクダウンの原因となる。この横方向電界を弱める為にLDD領域6が介在している。従来、このLDD領域6をゲート電極2のパタンの内側部INに設けても、ゲート電位によって変調を受ける為意味をなさないと考えられていた。しかしながら、詳しく計算するとLDD領域6の不純物濃度を適切な範囲に設定すると、ゲート電位で変調されてもLDD機能を有する事が判明した。この現象を積極的に利用してゲート電位で変調させる様にしてオン電流を下げない様にすると共に、オフ電流を抑制している。

【0011】(B)はトップゲート型の薄膜トランジスタを表わしており、本発明はボトムゲート型とトップゲート型とを問わず適用可能である。なお、(A)に示したボトムゲート型の薄膜トランジスタと対応する部分には対応する参照番号を付して理解を容易にしている。図示する様に、トップゲート型では半導体薄膜1の上にゲート絶縁膜3を介してゲート電極2がパタニング形成されている。チャネル領域4はゲート電極2のパタンの内側部INに形成され、高濃度不純物領域5は外側部OUTに形成されている。低濃度不純物領域6は少なくとも一部ゲート電極2のパタンの内側部INに包含されている。

【0012】図2は薄膜トランジスタのオン電流及びオフ電流とLDD領域における不純物濃度との関係を示すグラフである。縦軸にオン電流及びオフ電流をとり、横軸に不純物濃度をとっている。カーブAONは図1の(A)に示した薄膜トランジスタのオン電流を表わし、カーブZONは従来の薄膜トランジスタのオン電流を表わしている。又、カーブAOFFは本発明にかかる薄膜トランジスタのオフ電流を示し、カーブZOFFは従来の薄膜トランジスタのオフ電流を表わしている。グラフから明らかな様に、LDD領域（N領域）の不純物濃度

を 10^{10} 個/cm²～ 10^{11} 個/cm²の間に設定する事で、本発明にかかる薄膜トランジスタはオン電流が殆ど変わらずにオフ電流が下げられる。一方、従来の薄膜トランジスタではLDD領域を設ける事によりオン電流が低下している。なお、高濃度不純物領域(N++領域)の不純物濃度は 10^{10} ～ 10^{11} 個/cm²程度に制御されている。

【0013】

【実施例】図4を参照して本発明にかかる薄膜トランジスタの製造方法の好適な実施例を詳細に説明する。先ず工程(A)で、ガラス等からなる絶縁基板51の上に所定のボタンを有するゲート電極52を形成する。例えば、Ta/Mo等からなる金属膜をスパッタリングで成膜した後、フォトリソグラフィ及びエッチングにより金属膜をパタニングしてゲート電極52に加工する。この段階で1枚目のフォトマスクを使用する。

【0014】工程(B)に進み、ゲート電極52の上にゲート絶縁膜53を形成する。例えば、CVDによりSiO₂を成膜してゲート絶縁膜53とする。あるいは、SiO₂に代えてP-SiNを用いても良い。さらに、P-SiNとSiO₂の積層膜をゲート絶縁膜としても良い。続いて、非晶質シリコンからなる半導体薄膜54をCVD法により成膜する。この半導体薄膜54にレーザ光を照射して一旦溶融化した後冷却過程で非晶質シリコンを多結晶シリコンに変換する。さらに、フォトリソグラフィ及びエッチングにより半導体薄膜54をアイランド状にパタニングして薄膜トランジスタのソース領域(活性層)とする。この段階で第2のフォトマスクを使用する。

【0015】工程(C)に進み、SiO₂をCVDにより50nmの厚みで成膜し保護膜55を形成する。続いて、ゲート電極52のボタンより内側に入るボタンで第1不純物阻止膜56を半導体薄膜54の上に保護膜55を介して形成する。具体的には、ゲート電極52をマスクとして透明な絶縁基板51の裏面からオーバ露光を行ない、絶縁基板51の表面に第1不純物阻止膜56のボタンを設定している。さらに具体的には、フォトレジストを塗布した後裏面からのオーバ露光を行なう事でセルフアライメントによりフォトレジストを第1不純物阻止膜56に加工している。これにより、極めて精度良く第1不純物阻止膜56をパタニングできるばかりでなく、ゲート電極52をマスクとしたセルフアライメント方式なので何等フォトマスクを必要としない。ゲート電極52に対する第1不純物阻止膜56のアライメント精度は極めて高くなる。引き続いて、第1不純物阻止膜56をマスクとして不純物を低濃度で半導体薄膜54にドーピングしN領域を形成する。例えば燐等の不純物のイオンを電界加速して半導体薄膜54中にドーピングする。この後使用済みになった第1不純物阻止膜56を剥離する。

【0016】工程(D)に進み、第1不純物阻止膜56のボタンを包含し且つそれよりも大面積のボタンで第2不純物阻止膜57を形成する。具体的には、ゲート電極52をマスクとして透明な絶縁基板51の裏面から露光を行ない、絶縁基板51の表面に第2不純物阻止膜57のボタンを設定する裏面露光処理を行なう。さらに具体的には、保護膜55の表面にフォトレジストを塗布した後裏面露光を行なってセルフアライメントによりフォトレジストを第2不純物阻止膜57に加工している。この時、露光量を調整する事で、第1不純物阻止膜56より大面積の第2不純物阻止膜57を形成できる。例えば、オーバ露光ではなくジャスト露光を行えば良い。さらに、第2不純物阻止膜57をマスクとして不純物を高濃度で半導体薄膜54にドーピングし、N++領域を設ける。具体的には、燐等の不純物のイオンを電界加速して保護膜55を介し半導体薄膜54にドーピングする。この後不要になった第2不純物阻止膜57を剥離する。以上により、ボトムゲート型薄膜トランジスタのソース領域S及びドレイン領域D(N++領域)とLDD領域(N領域)が形成される。図から明らかな様に、LDD領域はチャンネル領域とソース領域Sとの間及びチャンネル領域とドレイン領域Dとの間に設けられ、且つゲート電極52のボタンの内側部に包含される。

【0017】工程(E)に進み、ボトムゲート型の薄膜トランジスタを層間絶縁膜58で被覆する。例えば、SiO₂をCVDにより成膜して層間絶縁膜58とする。続いてCVDによりP-SiNを成膜しキャップ膜59とする。この状態で例えば350℃程度のアニールを行ない、層間絶縁膜58に含有されていた水素を半導体薄膜54に拡散する。この水素化処理により薄膜トランジスタの特性が改善できる。なお、キャップ膜59は緻密な組成を有しており水素の外方拡散を抑制している。この後フォトリソグラフィ及びエッチングによりソース領域S及びドレイン領域Dに連通するコンタクトホールを開口する。この段階で3枚目のフォトマスクを使用する。

【0018】この後電極形成工程等を行なって薄膜半導体装置が完成する。完成状態を図5に示す。前工程でコンタクトホールを開口した後金属をスパッタリングで成膜する。本例ではアルミニウムとモリブデンを2層に重ねて成膜している。フォトリソグラフィ及びエッチングによりこの金属膜をパタニングして配線電極60に加工する。この段階で4枚目のフォトマスクを使用する。続いて感光性のアクリル樹脂等を塗布して平坦化膜61を設け、薄膜トランジスタや配線電極60の凹凸を埋める。さらにフォトリソグラフィにより平坦化膜61を選択的にエッチングしコンタクトホールを開口する。この段階で5枚目のフォトマスクを使用する。最後に、平坦化膜61の上にITO等の透明導電膜をスパッタリングにより成膜し、フォトリソグラフィ及びエッチングで所

定の形状にバタニングして画素電極62に加工する。この段階で6枚目のフォトマスクを使用する。以上により、表示用薄膜半導体装置には画素電極62とこれを駆動する薄膜トランジスタが集積形成される。さらに、図示しないが周辺の駆動回路を構成する薄膜トランジスタも同一の絶縁基板51上に集積形成される。以上の様に、本発明にかかる製造方法では6枚のフォトマスクのみを用いて表示用薄膜半導体装置を作成できる。平坦化膜61を省略する場合には5枚のフォトマスクのみを使用すれば良い。

【0019】図3は、図4の工程(C)及び(D)に示した裏面露光処理における露光量とオフセット幅との関係を示している。このオフセット幅はゲート電極52のボタンよりも内側に入り込む不純物阻止膜56、57の幅を表わしている。なお、このグラフは露光エネルギーを $15\text{ mJ}/\text{cm}^2$ に設定し不純物阻止膜の材料としてポジ型のフォトレジストOFPR-800を用いた場合である。絶縁基板としてはガラス(コーニング7059)を用いている。又、ゲート絶縁膜はSiN_x(50nm)とSiO₂(200nm)の積層構造を用い、半導体薄膜は30nmの多結晶シリコンを用いている。グラフから明らか様に、露光時間を2.0sに設定した時、露光量が $300\text{ mJ}/\text{cm}^2$ となり、ジャスト露光の条件が得られオフセット幅は零である。これに対し、例えば露光時間を5.0s程度に設定すると露光量が $800\text{ mJ}/\text{cm}^2$ 程度となりオーバー露光の条件が得られオフセット幅は $1\mu\text{m}$ 程度になる。この様に、露光時間を制御する事でオフセット幅が正確に設定でき、ばらつきの少ないLDD領域幅が実現できる。なお、ゲート電極をマスクとしたセルフアライメントによる裏面露光を採用しないで、フォトマスクを用いた表面側からの露光によりフォトレジストを不純物阻止膜に加工する事はできる。しかしながらこれでは必ずアライメント誤差が生じる為ソース領域側とドレイン領域側でLDD領域の幅が異なってしまう。あるいは、個々の薄膜トランジスタ間でLDD領域の幅がばらついてしまう。

【0020】図6は、図5に示した表示用薄膜半導体装置を駆動基板として用いたアクティブマトリクス型表示パネルの一例を示す模式的な斜視図である。図示する様に、本表示パネルは駆動基板101と対向基板102と両者の間に保持された液晶103とを備えたフラット構造を有する。駆動基板101には画面部104と周辺部とが集積形成されている。周辺部は垂直駆動回路105と水平駆動回路106とを含んでいる。これらの駆動回路は本発明に従ったLDD構造を備えた薄膜トランジスタにより構成されている。駆動基板101の周辺部上端には外部接続用の端子部107が形成されている。端子部107は配線108を介して垂直駆動回路105及び水平駆動回路106に接続している。画面部104は行列状に交差したゲート配線109及び信号配線110を

含んでいる。各交差部には画素電極111とこれをスイッチング駆動する薄膜トランジスタ112が形成されている。ゲート配線109は垂直駆動回路105に接続し、信号配線110は水平駆動回路106に接続している。薄膜トランジスタ112のドレイン領域は対応する画素電極111に接続し、ソース領域は対応する信号配線110に接続し、ゲート電極は対応するゲート配線109に接続している。かかる構成において、少なくとも駆動回路105、106に含まれる薄膜トランジスタはそのLDD領域がゲート電極パタンの内側部に包含されている。一般に、画素電極を駆動するスイッチング用の薄膜トランジスタは画素電極に書き込まれた信号電荷を1フィールド期間に渡って保持する為オフ電流(リーク電流)を厳しく抑制する事が重要である。これに対し、駆動回路を構成する薄膜トランジスタはオフ電流を抑制する点に加え、大きなオン電流を確保して駆動能力を改善する事が重要である。特に、高速駆動回路ではオン電流の絶対値を大きくするばかりでなく個々の薄膜トランジスタ間でオン電流のばらつきを±20%以下に制御する事が必須である。この点、本発明によればLDD領域をゲート電極パタンの内側に内包する事で十分なオン電流を確保している。さらに、前述した裏面からのオーバー露光処理を行なって個々の薄膜トランジスタのLDD領域幅を精度良く制御しておりオン電流のばらつきが少ない。

【0021】図7は第1不純物阻止膜及び第2不純物阻止膜の形成方法の他の実施例を示す模式的な断面図である。なお、図4と対応する部分には対応する参照番号を付して理解を容易にしている。工程(A)は図4の工程(C)と同様であり、ゲート電極52をマスクとした裏面からのオーバー露光により第1不純物阻止膜56を形成している。ただ、不純物阻止膜56の材料として熱変形可能なフォトレジストを用いる点で異なっている。この後工程(B)に進み、熱変形可能なフォトレジストをリフロー加熱して第1不純物阻止膜56のボタンを拡大化し第2不純物阻止膜57に転写している。リフロー加熱は例えば $140^\circ\text{C}\sim 180^\circ\text{C}$ の温度にて行なわれる。この様に、本実施例では裏面からの露光処理により第2不純物阻止膜を形成する代わりに、リフロー加熱で第1不純物阻止膜56を第2不純物阻止膜57に転写しており製造工程が簡略化できる。又、このリフロー加熱は加熱温度や加熱時間を制御する事で、拡大幅を精密に制御でき、従ってLDD領域幅をばらつきなく作り込む事が可能である。

【0022】図8はソース領域S及びドレイン領域Dの形成方法の他の例を示す模式的な断面図である。本例は、図4の工程(D)に示したイオンドーピングに代えて熱拡散法により不純物を高温で半導体薄膜に導入している。なお、図4の工程(D)と対応する部分には対応する参照番号を付して理解を容易にしている。本例で

は、不純物を高濃度で含有するドーパントシリコン70を半導体薄膜54に重ねて成膜し、レーザ光を照射して不純物のドーピングを行なっている。この関係で、第2不純物阻止膜57はフォトレジストに代え耐熱性を有するSiO₂を用いている。この第2不純物阻止膜57は、ドーパントシリコン70をエッチングして配線電極に加工する際のエッチングストッパとしても機能する。本例ではレーザドーピングを用いて不純物を半導体薄膜54に拡散すると共に同時に活性化している。

【0023】

【発明の効果】以上説明した様に、本発明によれば、薄膜トランジスタのLDD領域は少なくとも一部ゲート電極パタンの内側部に包含されており、オフ電流を抑制すると共に十分なオン電流の確保を可能にしている。又、ゲート電極をマスクとしたセルフアライメントによる裏面露光技術を採用してLDD領域の幅を精密に制御している為、オン電流のばらつきが顕著に抑制できる。

【図面の簡単な説明】

【図1】本発明にかかる薄膜トランジスタの最良な実施形態を示す断面図である。

【図2】薄膜トランジスタにおけるLDD領域の不純物濃度とオン電流及びオフ電流との関係を示すグラフである。

る。

【図3】ゲート電極をマスクとした裏面露光における露光量とオフセット幅との関係を示すグラフである。

【図4】本発明にかかる薄膜トランジスタ製造方法の一実施例を示す工程図である。

【図5】図4に示した工程に従って製造された表示用薄膜半導体装置の完成状態を示す断面図である。

【図6】図5に示した表示用薄膜半導体装置を駆動基板として組み立てたアクティブマトリクス型表示パネルの一例を示す斜視図である。

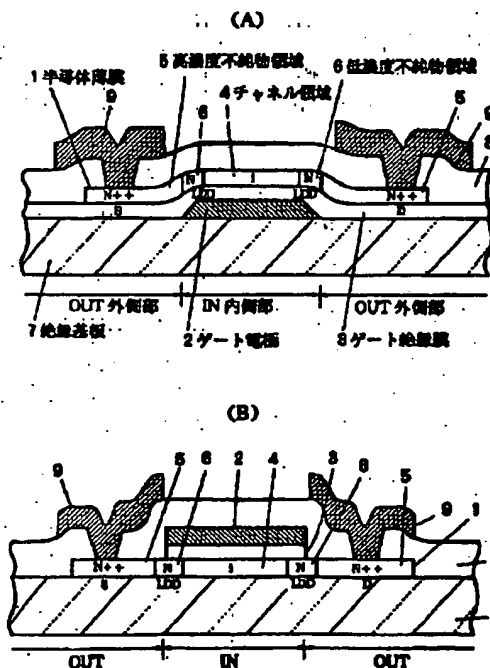
【図7】本発明にかかる薄膜トランジスタ製造方法の他の実施例を示す工程図である。

【図8】本発明にかかる薄膜トランジスタ製造方法の別の実施例を示す断面図である。

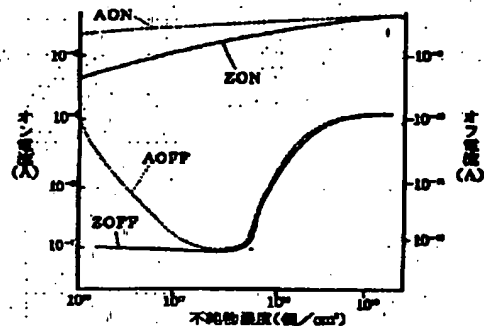
【符号の説明】

- 1 半導体薄膜
- 2 ゲート電極
- 3 ゲート絶縁膜
- 4 チャネル領域
- 5 高濃度不純物領域
- 6 低濃度不純物領域
- 7 絶縁基板

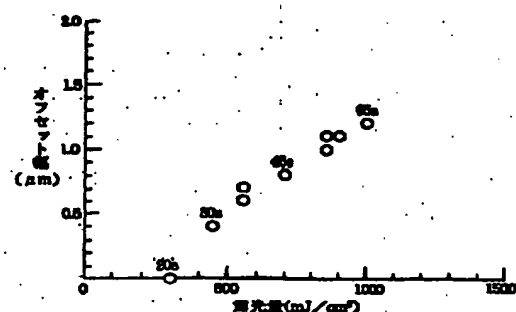
【図1】



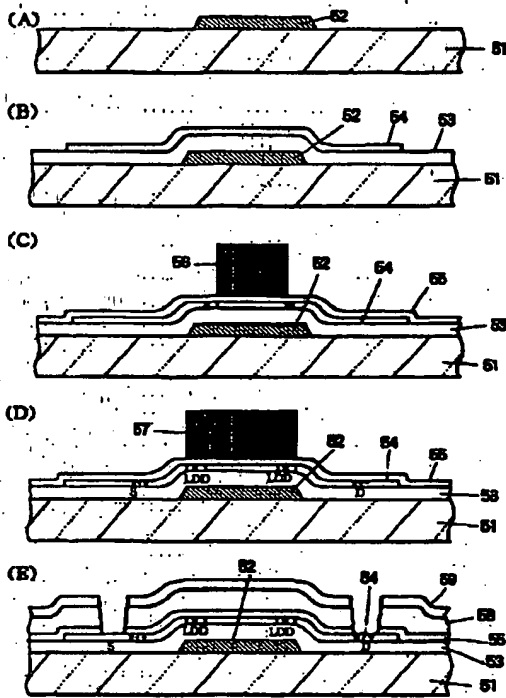
【図2】



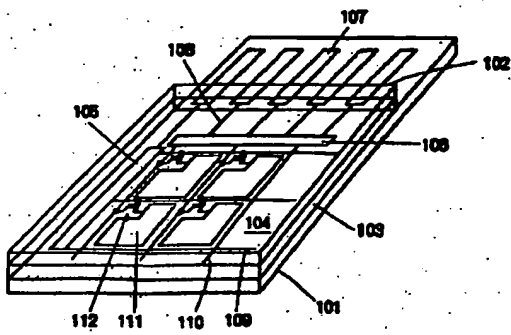
【図3】



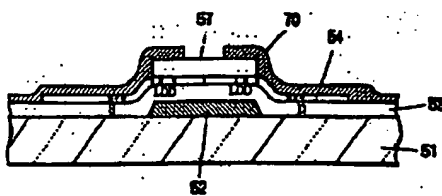
【図 4】



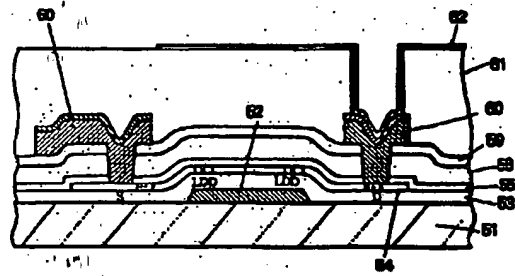
【図 6】



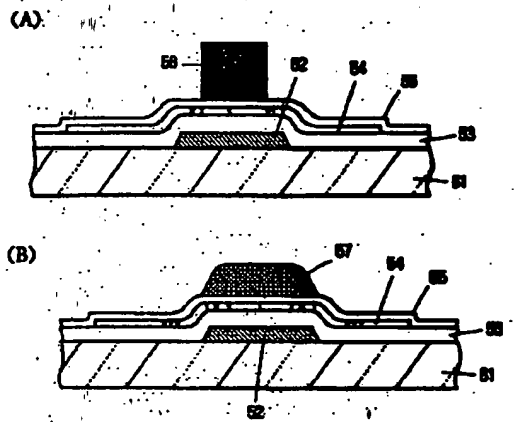
【図 8】



【図 5】



【図 7】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☒ **BLACK BORDERS**

☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**

☐ **FADED TEXT OR DRAWING**

☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**

☐ **SKEWED/SLANTED IMAGES**

☒ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**

☒ **GRAY SCALE DOCUMENTS**

☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**

☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**

☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.